

16.6.2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 6月16日

出願番号  
Application Number: 特願2003-170749  
[ST. 10/C]: [JP 2003-170749]

出願人  
Applicant(s): 日本電気株式会社  
株式会社NEC情報システムズ

REC'D 01 JUL 2004

WIPO

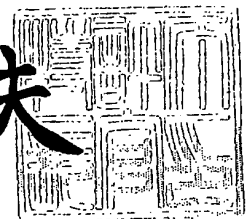
PCT

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 3月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

【書類名】 特許願  
【整理番号】 35600267  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 17/50  
【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号  
本電気株式会社内

日

【氏名】 原田 高志

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号  
株式会社エヌイーシー情報システムズ内

【氏名】 矢口 貴宏

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号  
株式会社エヌイーシー情報システムズ内

【氏名】 涌井 章

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号  
株式会社エヌイーシー情報システムズ内

【氏名】 恵谷 誠至

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号  
本電気株式会社内

日

【氏名】 藤本 俊介

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

## 【特許出願人】

【識別番号】 394017491

【氏名又は名称】 株式会社エヌイーシー情報システムズ

## 【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

## 【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

## 【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

## 【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213988

【包括委任状番号】 0214931

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プリント回路配線基板設計支援装置、プリント回路基板設計方法およびそのプログラム

【特許請求の範囲】

【請求項 1】 信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーン間の間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーンの構造抽出手段と、前記電源プレーンおよび前記グランドプレーンを跨ぐ配線同士を接続するビアホール抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタの抽出手段と、前記ビアホールおよび前記キャパシタ間の距離計測手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対してビアホールおよび前記キャパシタ間の許容距離値を記録したデータベースと、前記ビアホールおよび前記キャパシタ間の距離値と前記許容距離値との比較を行う距離比較手段と、前記距離値が前記許容距離値よりも大きい場合には警告を発生する警告発生手段とで構成することを特徴とするプリント回路配線基板設計支援装置。

【請求項 2】 前記プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離値を記録した前記データベースは、前記許容距離値を表として有している請求項 1 記載のプリント回路配線基板設計支援装置。

【請求項 3】 前記プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離値を記録した前記データベースは、前記許容距離値を数式として表示している請求項 1 記載のプリント回路配線基板設計支援装置。

【請求項 4】 信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、

前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーンの間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーンの構造抽出手段と、前記電源プレーンおよび前記グランドプレーンを跨ぐ配線同士を接続するビアホール抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続された接続キャパシタ抽出手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対してビアホールおよび前記キャパシタ間の許容距離値を記録したデータベースと、前記ビアホールを中心として前記データベースから読み出した前記許容距離値を半径とする円を作成する円作成手段と、作成された前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査手段と、前記円内にキャパシタが存在しない場合には警告を発生する警告発生手段とで構成することを特徴とするプリント回路配線基板設計支援装置。

【請求項5】 信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーンの間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーンの構造抽出手段と、前記電源プレーンおよび前記グランドプレーンを跨ぐ配線同士を接続するビアホール抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタの抽出手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対してビアホールおよび前記キャパシタ間の許容距離値とその許容距離値に対して必要なキャパシタの個数との関係を記録したデータベースと、前記ビアホールを中心として前記データベースから出力される前記許容距離値を半径とする円を作成する円作成手段と、作成された前記円内の前記キャパシタの個数を数え、数えた個数と前記必要なキャパシタの個数とを比較するキャパシタ個数検査手段と、前記円内のキャパシタが必要な個数を満たさない場合には警告を発生する警告発生手段とで構成することを特徴とするプリント回路

配線基板設計支援装置。

【請求項 6】 信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーン間の間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーンの構造抽出手段と、搭載する L S I の電源ピン抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタの抽出手段と、前記電源ピンおよび前記キャパシタ間の距離計測手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離値を記録したデータベースと、前記電源ピンおよび前記キャパシタ間の距離値と前記許容距離値との比較を行う距離比較手段と、前記距離値が前記許容距離よりも大きい場合には警告を発生する警告発生手段とで構成することを特徴とするプリント回路配線基板設計支援装置。

【請求項 7】 前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンから前記キャパシタ間の前記許容距離値を記録した前記データベースは、前記許容距離値を表として有している請求項 6 記載のプリント回路配線基板設計支援装置。

【請求項 8】 前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンから前記キャパシタ間の前記許容距離値を記録した前記データベースは、前記許容距離値を数式として表示している請求項 6 記載のプリント回路配線基板設計支援装置。

【請求項 9】 信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーン間の間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーン

の構造抽出手段と、搭載するLSIの電源ピン抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタの抽出手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離値を記録したデータベースと、前記電源ピンを中心として前記データベースから出力される前記許容距離値を半径とする円を作成する円作成手段と、作成された前記円内に前記キャパシタが存在するか否かを識別するキャパシタ検査手段と、前記円内にキャパシタが存在しない場合には警告を発生する警告発生手段とで構成することを特徴とするプリント回路配線基板設計支援装置。

【請求項10】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源プレーンおよびグランドプレーンの構造抽出手段、配線接続用ビアホール抽出手段、前記電源プレーンおよび前記グランドプレーン間に配置されるキャパシタの抽出手段、前記ビアホールおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記ビアホールおよび前記キャパシタ間の距離値と前記許容距離値との比較を行う距離比較手段、前記距離値が前記許容距離値よりも大きい場合に警告を発生する警告発生手段とで構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記レイアウトデータ入力手段が、前記プリント回路基板に搭載する能動デバイスの搭載位置情報および各層間間隔の情報を自動、もしくは手動により入力する処理と、  
前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、  
前記ビアホール抽出手段が、前記プリント回路基板に搭載されたドライバ手段とレシーバ手段との間を接続する信号配線を抽出し、この信号配線が異なる層に渡ってレイアウトされている場合にこれらを接続するためのビアホールの位置に関する情報を抽出する処理と、  
前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続用ビアホールとを介して接続するキャパシタの搭載位置に関する情報を抽出する処理と、

前記距離計測手段が、前記接続キャパシタ抽出手段で抽出されたキャパシタとのうち、前記ビアホールに最も近い距離にあるキャパシタと前記ビアホールとの間の距離を自動的に計測する処理と、

前記距離比較手段が、前記許容距離値を記録した前記データベースを参照して、前記ビアホールおよび前記キャパシタ間の距離値と許容距離値とを比較する処理と、比較の結果、前記距離値が前記許容距離値より大ならば、警告発生手段が警告および警告の発生した理由を前記入出力手段に表示する処理とを実行することを特徴とするプリント回路基板設計方法。

【請求項 11】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源およびグランドプレーンの構造抽出手段、配線接続用ビアホールの抽出手段、電源およびグランドプレーン間に配置されるキャパシタの抽出手段、前記ビアホールおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記許容距離値を半径とする円を作成する円作成手段、前記円内における前記キャパシタの存在有無を検査するキャパシタ検査手段および前記キャパシタが存在しない場合に警告する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記レイアウトデータ入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、

前記ビアホール抽出手段が、前記プリント回路基板に搭載されたドライバ手段とレシーバ手段との間を接続する信号配線を抽出し、この配線が異なる層に渡ってレイアウトされている場合にこれらを接続するための前記配線接続用ビアホールの位置に関する情報を抽出する処理と、

前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続用ビアホールとを介して接続するキャパシタの搭載位置に関する情報を抽出する処理と、

前記距離計測手段が、前記接続キャパシタ抽出手段で抽出された前記キャパシタの情報を基に、前記ビアホールに最も近い距離にあるキャパシタとの間の距離を



自動的に計測する処理と、

前記円作成手段が、前記レイアウトデータを参照して前記プリント回路基板のレイアウト図面を作成し、この図面上に前記データベースを参照して、前記配線接続用ビアホールを中心に前記許容距離値を半径とする円を描く処理と、

前記キャパシタ検査手段が、前記データベースを参照して、前記円内にキャパシタが存在するか否かを検査する処理と、検査の結果、前記円内にキャパシタが存在しない場合には、前記警告表示手段が、警告および警告の発生した理由を前記入出力手段に表示する処理とを実行することを特徴とするプリント回路基板設計方法。

【請求項 12】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源プレーンおよびグランドプレーンの構造抽出手段、配線接続用ビアホールの抽出手段、前記電源プレーンおよび前記グランドプレーン間に配置されるキャパシタの抽出手段、前記ビアホールおよび前記キャパシタ間の許容距離値と必要なキャパシタの個数との関係を記載したデータベースと、前記許容距離値を半径とする円を作成する円作成手段、前記円内における前記キャパシタの個数を検査するキャパシタ個数検査手段および前記円内のキャパシタが必要な個数を満たさない場合に警告する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、前記ビアホール抽出手段が、前記プリント回路基板に搭載されたドライバ手段とレシーバ手段との間を接続する信号配線を抽出し、この配線が異なる層に渡ってレイアウトされている場合にこれらを接続するための前記配線接続用ビアホールの位置に関する情報を抽出する処理と、前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続用ビアホールとを介して接続するキャパシタの搭載位置および必要なキャパシタの個数に関する情報を抽出する処理

と、前記距離計測手段が、前記キャパシタの抽出手段で抽出された前記キャパシタの情報を基に、前記ビアホールに最も近い距離にあるキャパシタとの間の距離を自動的に計測する処理と、

前記円作成手段が、前記レイアウトデータ入力手段に入力した前記レイアウトデータを用いて前記プリント回路基板のレイアウト図面を作成し、この図面上に前記配線接続用ビアホールを中心として前記データベースから読み出した前記許容距離値を半径とする円を描く処理と、

前記キャパシタ個数検査手段が、前記データベースを参照して、前記円内における前記キャパシタの数と前記必要なキャパシタの個数とを検査する処理と、

検査の結果、前記円内の前記キャパシタが前記必要なキャパシタの個数を満たしていない場合には、前記警告表示手段が警告および警告の発生した理由を前記入出力手段に表示する処理とを実行することを特徴とするプリント回路基板設計方法。

【請求項 13】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源およびグランドプレーンの構造抽出手段、搭載する L S I の電源ピンの位置を抽出する電源ピン抽出手段、電源およびグランドプレーン間に配置されるキャパシタの抽出手段、前記電源ピンおよび前記キャパシタ間の距離を測る距離計測手段、前記ビアホールおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記ビアホールおよび前記キャパシタ間の距離値と前記許容距離値との距離比較手段および前記距離値が前記許容距離値よりも大きい場合には警告を発生する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、

前記入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、

前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、

前記電源ピン抽出手段が、前記 L S I の各ピンのうち電源ピンの位置に関する情報を抽出する処理と、

前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間

をキャパシタ搭載用パッドとキャパシタ接続ビアホールとを介して接続する前記キャパシタの搭載位置に関する情報を抽出する処理と、  
前記距離計測手段が、前記キャパシタの抽出手段で抽出された前記キャパシタの情報を基に、前記ビアホールに最も近い距離にあるキャパシタとの間の距離を自動的に計測する処理と、  
前記距離比較手段が、前記データベースを参照して、前記電源ピンおよび前記キャパシタ間の距離値と前記許容距離値とを比較する処理と、  
比較の結果、前記キャパシタまでの前記距離値が前記許容距離値より大きい場合、前記警告発生手段が警告および警告の発生した理由を前記入出力手段に表示する処理とを実行することを特徴とするプリント回路基板設計方法。

【請求項 14】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源およびグランドプレーンの構造抽出手段、搭載する L S I の電源ピンの位置を抽出する電源ピン抽出手段、電源およびグランドプレーン間に配置されるキャパシタの抽出手段、前記電源ピンおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記許容距離値を半径とする円を作成する円作成手段、前記円内における前記キャパシタの個数を検査するキャパシタ検査手段および前記円内にキャパシタが存在しない場合に警告する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、

前記入出力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、

前記電源ピン抽出手段が、L S I の各ピンのうち電源ピンの位置に関する情報を抽出する処理と、

前記キャパシタ抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続ビアホールとを介して接続する前記キャパシタの搭載位置に関する情報を抽出する処理と、

前記円作成手段が、前記レイアウトデータ入力手段において得られたレイアウト

データを用いて基板レイアウト図面を作成し、この図面上に、前記電源ピンを中心にして前記許容距離値を半径とする円を描く処理と、  
前記キャパシタ検査手段が、前記データベースを参照して前記円内に前記キャパシタが存在するか否かを検査する処理と、  
検査の結果、キャパシタが存在しない場合には、前記警告発生手段が警告および警告の発生した理由を表示する処理とを実行することを特徴とするプリント回路基板設計方法。

【請求項 15】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源プレーンおよびグランドプレーンの構造抽出手段、配線接続用ビアホール抽出手段、前記電源プレーンおよび前記グランドプレーン間に配置されるキャパシタの抽出手段、前記ビアホールおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記ビアホールおよび前記キャパシタ間の距離値と前記許容距離値との比較を行う距離比較手段、前記距離値が前記許容距離値よりも大きい場合に警告を発生する警告発生手段とで構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記レイアウトデータ入力手段が、前記プリント回路基板に搭載する能動デバイスの搭載位置情報および各層間間隔の情報を自動、もしくは手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、前記ビアホール抽出手段が、前記プリント回路基板に搭載されたドライバ手段とレシーバ手段との間を接続する信号配線を抽出し、この信号配線が異なる層に渡ってレイアウトされている場合にこれらを接続するためのビアホールの位置に関する情報を抽出する処理と、前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続用ビアホールとを介して接続するキャパシタの搭載位置に関する情報を抽出する処理と、前記距離計測手段が、前記接続キャパシタ抽出手段で抽出されたキャパシタとのうち、前記ビアホールに最も近い距離にあるキャパシタと前記ビアホールとの間の距離を自動的に計測する処理と、前記距離比較手段が、前記許容距離値を記録した前記データベースを参照して、前記ビアホールおよび前記キャパシタ間の距離値と許容距離値とを比較す

る処理と、比較の結果、前記距離値が前記許容距離値より大ならば、警告発生手段が警告および警告の発生した理由を前記入出力手段に表示する処理とを、プリント回路基板設計支援装置のコンピュータに実行させるプログラム。

【請求項16】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源およびグランドプレーンの構造抽出手段、配線接続用ビアホール抽出手段、電源およびグランドプレーン間に配置されるキャパシタの抽出手段、前記ビアホールおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記許容距離値を半径とする円を作成する円作成手段、前記円内における前記キャパシタの存在有無を検査するキャパシタ検査手段および前記キャパシタが存在しない場合に警告する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記レイアウトデータ入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、前記ビアホール抽出手段が、前記プリント回路基板に搭載されたドライバ手段とレシーバ手段との間を接続する信号配線を抽出し、この配線が異なる層に渡ってレイアウトされている場合にこれらを接続するための前記配線接続用ビアホールの位置に関する情報を抽出する処理と、前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続用ビアホールとを介して接続するキャパシタの搭載位置に関する情報を抽出する処理と、前記距離計測手段が、前記接続キャパシタ抽出手段で抽出された前記キャパシタの情報を基に、前記ビアホールに最も近い距離にあるキャパシタとの間の距離を自動的に計測する処理と、前記円作成手段が、前記レイアウトデータを参照して前記プリント回路基板のレイアウト図面を作成し、この図面上に前記データベースを参照して、前記配線接続用ビアホールを中心に前記許容距離値を半径とする円を描く処理と、前記キャパシタ検査手段が、前記データベースを参照して、前記円内にキャパシタが存在するか否かを検査する処理と、検査の結果、前記円内にキャパシタが存在しない場合には、前記警告表示手段が、警告および警告の発生した理由を前記

入出力手段に表示する処理とを、プリント回路基板設計支援装置のコンピュータに実行させるプログラム。

【請求項 17】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源プレーンおよびグランドプレーンの構造抽出手段、配線接続用ビアホール抽出手段、前記電源プレーンおよび前記グランドプレーン間に配置されるキャパシタの抽出手段、前記ビアホールおよび前記キャパシタ間の許容距離値と必要なキャパシタの個数との関係を記載したデータベースと、前記許容距離値を半径とする円を作成する円作成手段、前記円内における前記キャパシタの個数を検査するキャパシタ個数検査手段および前記円内のキャパシタが必要な個数を満たさない場合に警告する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、前記ビアホール抽出手段が、前記プリント回路基板に搭載されたドライバ手段とレシーバ手段との間を接続する信号配線を抽出し、この配線が異なる層に渡ってレイアウトされている場合にこれらを接続するための前記配線接続用ビアホールの位置に関する情報を抽出する処理と、前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続用ビアホールとを介して接続するキャパシタの搭載位置および必要なキャパシタの個数に関する情報を抽出する処理と、前記距離計測手段が、前記キャパシタの抽出手段で抽出された前記キャパシタの情報を基に、前記ビアホールに最も近い距離にあるキャパシタとの間の距離を自動的に計測する処理と、前記円作成手段が、前記レイアウトデータ入力手段に入力した前記レイアウトデータを用いて前記プリント回路基板のレイアウト図面を作成し、この図面上に前記配線接続用ビアホールを中心として前記データベースから読み出した前記許容距離値を半径とする円を描く処理と、前記キャパシタ個数検査手段が、前記データベースを参照して、前記円内における前記キャパシタの数と前記必要なキャパシタの個数とを検査する処理と、検査の結果、前記円内の前

記キャパシタが前記必要なキャパシタの個数を満たしていない場合には、前記警告表示手段が警告および警告の発生した理由を前記入出力手段に表示する処理とを、プリント回路基板設計支援装置のコンピュータに実行させるプログラム。

【請求項 18】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源およびグランドプレーンの構造抽出手段、搭載する L S I の電源ピンの位置を抽出する電源ピン抽出手段、電源およびグランドプレーン間に配置されるキャパシタの抽出手段、前記電源ピンおよび前記キャパシタ間の距離を測る距離計測手段、前記ビアホールおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記ビアホールおよび前記キャパシタ間の距離値と前記許容距離値の距離比較手段および前記距離値が前記許容距離値よりも大きい場合には警告を発生する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、前記電源ピン抽出手段が、前記 L S I の各ピンのうち電源ピンの位置に関する情報を抽出する処理と、前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続ビアホールとを介して接続する前記キャパシタの搭載位置に関する情報を抽出する処理と、前記距離計測手段が、前記キャパシタの抽出手段で抽出された前記キャパシタの情報を基に、前記ビアホールに最も近い距離にあるキャパシタとの間の距離を自動的に計測する処理と、前記距離比較手段が、前記データベースを参照して、前記電源ピンおよび前記キャパシタ間の距離値と前記許容距離値とを比較する処理と、比較の結果、前記キャパシタまでの前記距離値が前記許容距離値より大きい場合、前記警告発生手段が警告および警告の発生した理由を前記入出力手段に表示する処理とを、プリント回路基板設計支援装置のコンピュータに実行させるプログラム。

【請求項 19】 多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源およびグランドプレーンの構造抽出手段、搭載す

る L S I の電源ピンの位置を抽出する電源ピン抽出手段、電源およびグランドプレーン間に配置されるキャパシタの抽出手段、前記電源ピンおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記許容距離値を半径とする円を作成する円作成手段、前記円内における前記キャパシタの個数を検査するキャパシタ検査手段および前記円内にキャパシタが存在しない場合に警告する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、

前記入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、

前記電源ピン抽出手段が、L S I の各ピンのうち電源ピンの位置に関する情報を抽出する処理と、

前記キャパシタ抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続ビアホールとを介して接続する前記キャパシタの搭載位置に関する情報を抽出する処理と、

前記円作成手段が、前記レイアウトデータ入力手段において得られたレイアウトデータを用いて基板レイアウト図面を作成し、この図面上に、前記電源ピンを中心にして前記許容距離値を半径とする円を描く処理と、

前記キャパシタ検査手段が、前記データベースを参照して前記円内に前記キャパシタが存在するか否かを検査する処理と、

検査の結果、キャパシタが存在しない場合には、前記警告発生手段が警告および警告の発生した理由を表示する処理とを、プリント回路基板設計支援装置のコンピュータに実行させるプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はプリント回路配線基板設計支援装置、プリント回路基板設計方法およびそのプログラムに係わり、特に不要電磁輻射やノイズによる回路誤動作を抑制



するためのパスコンデンサの配置を最適化するための技術的な手法を改善したプリント回路配線基板設計支援装置、プリント回路基板設計方法およびそのプログラムに関する。

#### 【0002】

##### 【従来の技術】

プリント回路基板はICやLSIなどの電子部品とそれらの部品を接続する信号配線などから構成され、電子機器の心臓部としてほとんど全ての機器に搭載されている。多層プリント回路基板ではICやLSIが動作するために必要な直流電圧を供給する電源配線と回路の基準電位を提供するためのグランド配線で構成された電源供給系が含まれており、これらの電源供給系の高周波における電位変動はしばしば、ICやLSIの誤動作や高いレベルの不要電磁波放射を発生させる要因となっていた。

#### 【0003】

この電源供給系の電位変動を抑制するための手段として、最も多く採用されている手法は基板の表面にキャパシタを実装し、その両端を電源、グランドに接続して電圧変動を吸収する方法である。

#### 【0004】

例えば、プリント回路基板の設計方法、プリント回路基板およびプリント回路基板を備える電子機器においては、図20に示すように絶縁基板80を介して表面（図20（a））と裏面（図20（b））に印刷回路パターンを形成した2層プリント配線基板81上に電子回路素子を実装するために、表面にランドを配設し、電子回路素子の内側部位までのグランドパターン84を配設し、基幹の基幹電源パターン82を配設し、基幹電源パターンから分岐し、電子回路素子の内側部位まで延設し、スルーホール85を介してランドの一部に分岐電源パターン83を接続し、分岐電源パターン83近傍に配設されるキャパシタとの間で形成されるインダクタンスよりも分岐電源パターンと基幹電源パターンとの間で形成されるインダクタンスが大きくなようなようにインダクタンスパターンを形成された構造が採用されていた（特許文献1参照。）。

#### 【0005】

また、電子回路部品の電源パターン接続構造においては図 21 に示すようにプリント配線基板 91 上に実装された L S I 92 の電源ピン 93、グランドピン 94 両端子のそれぞれに接続されかつ電源層（電源プレーン）95 とグランド層（グランドプレーン）96 からの供給電流を流すための第 1 の電源パタン 97、98 と第 1 のグランドパタン 99、100 よりなる配線パターンと、二つの配線パターンに接続されかつ L S I 92 と同じプリント回路基板上またはその裏面上に実装されたキャパシタ 101 とを備えた電子回路部品の電源パターン接続構造において、電源層 95 はキャパシタ 101 の一端との間に設けた第 2 の電源パタン 98 とビアホール 103 で接続し、グランド層 96 は、第 1 のグランドパタン 99、100 とビアホール 104 で接続した構造が採用されていた（特許文献 2 参照。）。

#### 【0006】

さらに、現在、ほとんどのプリント回路基板は C A D（C o m p u t e r A i d e d D e s i g n）システムを用いて設計されるが、この C A D システムを有効に利用し、プリント回路基板の設計段階においてキャパシタを自動的に配置するシステムも提案されている。

#### 【0007】

例えば、プリント基板配置処理装置においては、図 22 に示すように、入力部 111、演算処理部 112、データ記憶部 113、配置処理部 114 を備え、入力部 111 を介してバイパスコンデンサ付加条件入力部 115 に入力されたキャパシタ付加条件に基づき、配置処理部 114 内の対象 I C 検索部 116 において、キャパシタを付加すべき I C を検索し、バイパスコンデンサ自動付加部 117 において、入力部 111 を介して入力されたキャパシタ付加条件に基づいて、対象 I C 検索部 116 にて検索された I C に対してキャパシタの付加を人手によらずに、条件を入力するだけで自動的に行なう（特許文献 3 参照。）。

#### 【0008】

また、放射ノイズ防止プリント基板配置配線処理システムにおいては図 23 に示すように、入出力装置 120、入力部 121、演算処理部 122、データ記憶部 123、配置配線処理部 124 を備え、配置配線処理部 124 は、電子部品の

電源ピンを抽出する電子部品電源ピン抽出部 125、電源ピンから電源のビアホールまでに配線パターンを抽出する配線パターン抽出部 126、抽出された配線パターンの線長、線幅を検査する線長、線幅検査部 127、キャパシタの追加が可能か検査するバスコン追加可能性検査部 128、現状の配線経路でキャパシタが追加可能な場合キャパシタ追加可能とする配線経路があるか検査する配線経路変更可能検査部 129と、配線経路を変更する配線経路変更実行部 130、バスコン追加実行部 131、配線経路を変更してもキャパシタが追加不可能な場合エラー表示するエラー表示部 132を備えている（特許文献 4 参照。）。

**【0009】****【特許文献 1】**

特開平 9-54788 号公報（段落「0032」～「0034」、図 1）

**【特許文献 2】**

特開 2000-156548 号公報（段落「0005」、図 1）

**【特許文献 3】**

特開 2000-99560 号公報（段落「0017」、図 1）

**【特許文献 4】**

特特開 2000-35976 号公報（段落「0009」、「0015」、図 1）

**【0010】****【発明が解決しようとする課題】**

しかしながら、高密度実装化の進展にともない、BGA（Ball Grid Array）と呼ばれる高密度な配線を必要とする LSI パッケージなどを用いる場合が増加しており、図 20 や図 21 に示すようなキャパシタの搭載構造を実現することが難しくなってきた。

**【0011】**

また、キャパシタが自動的に付加される場合においても、キャパシタの搭載位置と不要電磁波放射の抑制や回路の誤動作防止との関係が明確にされていないため、その構造が最適であるか否かを判断することはできなかった。

## 【0012】

本発明の目的は、従来の基板の設計手法、構造を維持しながら、不要電磁波放射や回路の誤動作を抑制するためのキャパシタの配置を自動的に検査し、基板レイアウトの最適化を図るためのプリント回路基板設計支援技術を提供することを目的とする。

## 【0013】

## 【課題を解決するための手段】

上記目的を達成するため、本発明におけるプリント回路基板設計支援装置は、信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーン間の間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーンの構造抽出手段と、前記電源プレーンおよび前記グランドプレーンを跨ぐ配線同士を接続するビアホールの抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタの抽出手段と、前記ビアホールおよび前記キャパシタ間の距離計測手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対してビアホールおよび前記キャパシタ間の許容距離値を記録したデータベースと、前記ビアホールおよび前記キャパシタ間の距離値と前記許容距離値との比較を行う距離比較手段と、前記距離値が前記許容距離値よりも大きい場合には警告を発生する警告発生手段とで構成することを特徴とする。

## 【0014】

また、前記プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離値を記録した前記データベースは、前記許容距離値を表として有している。

## 【0015】

さらに、前記プレーンおよび前記グランドプレーン間の間隔に対して前記ビアホールおよび前記キャパシタ間の許容距離値を記録した前記データベースは、前

記許容距離値を数式として表示している。

【0016】

本発明のプリント回路基板設計支援装置の他の特徴は、信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーンの間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーンの構造抽出手段と、前記電源プレーンおよび前記グランドプレーンを跨ぐ配線同士を接続するビアホール抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続された接続キャパシタ抽出手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対してビアホールおよび前記キャパシタ間の許容距離値を記録したデータベースと、前記ビアホールを中心として前記データベースから読み出した前記許容距離値を半径とする円を作成する円作成手段と、作成された前記円内に前記キャパシタが存在するか否かを検査するキャパシタ検査手段と、前記円内にキャパシタが存在しない場合には警告を発生する警告発生手段とで構成することにある。

【0017】

本発明のプリント回路配線基板設計支援装置のまた他の特徴は、信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーンの間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーンの構造抽出手段と、前記電源プレーンおよび前記グランドプレーンを跨ぐ配線同士を接続するビアホール抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタの抽出手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対してビアホールおよび前記キャパシタ間の許容距離値とその許容距離値に対して必要

なキャパシタの個数との関係を記録したデータベースと、前記ビアホールを中心として前記データベースから出力される前記許容距離値を半径とする円を作成する円作成手段と、作成された前記円内の前記キャパシタの個数を数え、数えた個数と前記必要なキャパシタの個数とを比較するキャパシタ個数検査手段と、前記円内のキャパシタが必要な個数を満たさない場合には警告を発生する警告発生手段とで構成することにある。

#### 【0018】

本発明のプリント回路配線基板設計支援装置のさらにまた他の特徴は、信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーン間の間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーンの構造抽出手段と、搭載するLSIの電源ピン抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタの抽出手段と、前記電源ピンおよび前記キャパシタ間の距離計測手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離値を記録したデータベースと、前記電源ピンおよび前記キャパシタ間の距離値と前記許容距離値との比較を行う距離比較手段と、前記距離値が前記許容距離よりも大きい場合には警告を発生する警告発生手段とで構成することにある。

#### 【0019】

また、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンから前記キャパシタ間の前記許容距離値を記録した前記データベースは、前記許容距離値を表として有している。

#### 【0020】

さらに、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンから前記キャパシタ間の前記許容距離値を記録した前記データベースは、前記許容距離値を数式として表示している。

## 【0021】

本発明のプリント回路配線基板設計支援装置の他の特徴は、信号配線、電源プレーン、グランドプレーンを有する多層のプリント回路基板の設計時に、前記信号配線、前記電源プレーンの構造データ、前記グランドプレーンの構造データ、前記電源プレーンおよび前記グランドプレーンの間隔データと、搭載する能動デバイスおよび受動素子の搭載位置データとからなる前記プリント回路基板のレイアウトデータを入出力手段を介して入力するレイアウトデータ入力手段と、前記電源プレーンおよび前記グランドプレーンの構造抽出手段と、搭載するLSIの電源ピン抽出手段と、前記電源プレーンおよび前記グランドプレーン間に接続されたキャパシタの抽出手段と、前記電源プレーンおよび前記グランドプレーン間の間隔に対して前記電源ピンおよび前記キャパシタ間の許容距離値を記録したデータベースと、前記電源ピンを中心として前記データベースから出力される前記許容距離値を半径とする円を作成する円作成手段と、作成された前記円内に前記キャパシタが存在するか否かを識別するキャパシタ検査手段と、前記円内にキャパシタが存在しない場合には警告を発生する警告発生手段とで構成することにある。

## 【0022】

本発明のプリント回路基板設計方法は、多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源プレーンおよびグランドプレーンの構造抽出手段、配線接続用ビアホール抽出手段、前記電源プレーンおよび前記グランドプレーン間に配置されるキャパシタの抽出手段、前記ビアホールおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記ビアホールおよび前記キャパシタ間の距離値と前記許容距離値との比較を行う距離比較手段、前記距離値が前記許容距離値よりも大きい場合に警告を発生する警告発生手段とで構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、

前記レイアウトデータ入力手段が、前記プリント回路基板に搭載する能動デバイスの搭載位置情報および各層間間隔の情報を自動、もしくは手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間

の距離や配置に関する情報を抽出する処理と、前記ビアホール抽出手段が、前記プリント回路基板に搭載されたドライバ手段とレシーバ手段との間を接続する信号配線を抽出し、この信号配線が異なる層に渡ってレイアウトされている場合にこれらを接続するためのビアホールの位置に関する情報を抽出する処理と、前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続用ビアホールとを介して接続するキャパシタの搭載位置に関する情報を抽出する処理と、前記距離計測手段が、前記接続キャパシタ抽出手段で抽出されたキャパシタとのうち、前記ビアホールに最も近い距離にあるキャパシタと前記ビアホールとの間の距離を自動的に計測する処理と、前記距離比較手段が、前記許容距離値を記録した前記データベースを参照して、前記ビアホールおよび前記キャパシタ間の距離値と許容距離値とを比較する処理と、比較の結果、前記距離値が前記許容距離値より大ならば、警告発生手段が警告および警告の発生した理由を前記入出力手段に表示する処理とを実行することを特徴とする。

#### 【0023】

本発明のプリント回路基板設計方法の他の特徴は、多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源およびグランドプレーンの構造抽出手段、配線接続用ビアホールの抽出手段、電源およびグランドプレーン間に配置されるキャパシタの抽出手段、前記ビアホールおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記許容距離値を半径とする円を作成する円作成手段、前記円内における前記キャパシタの存在有無を検査するキャパシタ検査手段および前記キャパシタが存在しない場合に警告する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、

前記レイアウトデータ入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、前記ビアホール抽出手段が、前記プリント回路基板に搭載されたドライバ手段とレシーバ手段との間を接続する



信号配線を抽出し、この配線が異なる層に渡ってレイアウトされている場合にこれらを接続するための前記配線接続用ビアホールに関する情報を抽出する処理と、前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続用ビアホールとを介して接続するキャパシタの搭載位置に関する情報を抽出する処理と、前記距離計測手段が、前記接続キャパシタ抽出手段で抽出された前記キャパシタの情報を基に、前記ビアホールに最も近い距離にあるキャパシタとの間の距離を自動的に計測する処理と、前記円作成手段が、前記レイアウトデータを参照して前記プリント回路基板のレイアウト図面を作成し、この図面上に前記データベースを参照して、前記配線接続用ビアホールを中心に前記許容距離値を半径とする円を描く処理と、前記キャパシタ検査手段が、前記データベースを参照して、前記円内にキャパシタが存在するか否かを検査する処理と、検査の結果、前記円内にキャパシタが存在しない場合には、前記警告表示手段が、警告および警告の発生した理由を前記入出力手段に表示する処理とを実行することにある。

#### 【0024】

本発明のプリント回路基板設計方法のまた他の特徴は、多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源プレーンおよびグランドプレーンの構造抽出手段、配線接続用ビアホールの抽出手段、前記電源プレーンおよび前記グランドプレーン間に配置されるキャパシタの抽出手段、前記ビアホールおよび前記キャパシタ間の許容距離値と必要なキャパシタの個数との関係を記載したデータベースと、前記許容距離値を半径とする円を作成する円作成手段、前記円内における前記キャパシタの個数を検査するキャパシタ個数検査手段および前記円内のキャパシタが必要な個数を満たさない場合に警告する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、前記ビアホール抽出手段が、前記プリント回路基

板に搭載されたドライバ手段とレシーバ手段との間を接続する信号配線を抽出し、この配線が異なる層に渡ってレイアウトされている場合にこれらを接続するための前記配線接続用ビアホールに関する情報を抽出する処理と、前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続用ビアホールとを介して接続するキャパシタの搭載位置および必要なキャパシタの個数に関する情報を抽出する処理と、前記距離計測手段が、前記キャパシタの抽出手段で抽出された前記キャパシタの情報を基に、前記ビアホールに最も近い距離にあるキャパシタとの間の距離を自動的に計測する処理と、前記円作成手段が、前記レイアウトデータ入力手段に入力した前記レイアウトデータを用いて前記プリント回路基板のレイアウト図面を作成し、この図面上に前記配線接続用ビアホールを中心として前記データベースから読み出した前記許容距離値を半径とする円を描く処理と、前記キャパシタ個数検査手段が、前記データベースを参照して、前記円内における前記キャパシタの数と前記必要なキャパシタの個数とを検査する処理と、検査の結果、前記円内の前記キャパシタが前記必要なキャパシタの個数を満たしていない場合には、前記警告表示手段が警告および警告の発生した理由を前記入出力手段に表示する処理とを実行することにある。

#### 【0025】

本発明のプリント回路基板設計方法のさらにまた他の特徴は、多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源およびグランドプレーンの構造抽出手段、搭載するLSIの電源ピンの位置を抽出する電源ピン抽出手段、電源およびグランドプレーン間に配置されるキャパシタの抽出手段、前記電源ピンおよび前記キャパシタ間の距離を測る距離計測手段、前記ビアホールおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記ビアホールおよび前記キャパシタ間の距離値と前記許容距離値との距離比較手段および前記距離値が前記許容距離値よりも大きい場合には警告を発生する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置

情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、前記電源ピン抽出手段が、前記 L S I の各ピンのうち電源ピンの位置に関する情報を抽出する処理と、前記キャパシタの抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続ビアホールとを介して接続する前記キャパシタの搭載位置に関する情報を抽出する処理と、前記距離計測手段が、前記キャパシタの抽出手段で抽出された前記キャパシタの情報を基に、前記ビアホールに最も近い距離にあるキャパシタとの間の距離を自動的に計測する処理と、前記距離比較手段が、前記データベースを参照して、前記電源ピンおよび前記キャパシタ間の距離値と前記許容距離値とを比較する処理と、比較の結果、前記キャパシタまでの前記距離値が前記許容距離値より大きい場合、前記警告発生手段が警告および警告の発生した理由を前記入出力手段に表示する処理とを実行することにある。

#### 【0026】

本発明のプリント回路基板設計方法の他の特徴は、多層のプリント回路基板のレイアウトデータを入力するレイアウトデータ入力手段、電源およびグランドプレーンの構造抽出手段、搭載する L S I の電源ピンの位置を抽出する電源ピン抽出手段、電源およびグランドプレーン間に配置されるキャパシタの抽出手段、前記電源ピンおよび前記キャパシタ間の許容距離値を予め記録したデータベース、前記許容距離値を半径とする円を作成する円作成手段、前記円内における前記キャパシタの個数を検査するキャパシタ検査手段および前記円内にキャパシタが存在しない場合に警告する警告発生手段で構成するプリント回路配線基板設計支援装置を用い、多層のプリント回路基板の設計に際し、前記入力手段が、前記プリント回路配線基板に搭載する能動デバイスの配置位置情報および各層間の間隔情報を、自動または手動により入力する処理と、前記構造抽出手段が、前記電源プレーンおよび前記グランドプレーン間の距離や配置に関する情報を抽出する処理と、前記電源ピン抽出手段が、L S I の各ピンのうち電源ピンの位置に関する情報を抽出する処理と、

前記キャパシタ抽出手段が、前記電源プレーンおよび前記グランドプレーン間をキャパシタ搭載用パッドとキャパシタ接続ビアホールとを介して接続する前記キャパシタの搭載位置に関する情報を抽出する処理と、  
前記円作成手段が、前記レイアウトデータ入力手段において得られたレイアウトデータを用いて基板レイアウト図面を作成し、この図面上に、前記電源ピンを中心にして前記許容距離値を半径とする円を描く処理と、  
前記キャパシタ検査手段が、前記データベースを参照して前記円内に前記キャパシタが存在するか否かを検査する処理と、  
検査の結果、キャパシタが存在しない場合には、前記警告発生手段が警告および警告の発生した理由を表示する処理とを実行することにある。

#### 【0027】

##### 【発明の実施の形態】

以下に本発明の実施の形態を図を用いて説明する。図1は本発明の第1の実施の形態によるプリント回路配線基板設計支援装置の構成図である。

#### 【0028】

図1を参照すると、このプリント回路基板設計支援装置は、CPU（不図示）の制御の下に動作する制御部1と、キー入力部および表示部を備える入出力部2と、後述するデータベースを格納する外部記憶手段3とを有する。

#### 【0029】

制御部1は、レイアウトデータ入力部11、プレーン構造抽出部12と、ビアホール抽出部13と、キャパシタ抽出部14と、距離計測部15と、データベース3と、距離比較部16と、警告発生部17とを有する。

#### 【0030】

レイアウトデータ入力部11は、信号配線、電源プレーン、グランドプレーンを有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、LSI、ICなどの能動デバイスやデカップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力手段2を介して入力する。

#### 【0031】

プレーン構造抽出部 12 は、電源プレーン、グランドプレーンの構造を抽出する。

【0032】

ビアホール抽出部 13 は、電源プレーンとグランドプレーンとを跨ぐ配線間を接続するための接続手段であり、プリント基板を貫通する導体の層間貫通手段を有するビアホールを抽出する。

【0033】

キャパシタ抽出部 14 は、電源プレーンおよびグランドプレーン間に接続されたキャパシタを抽出する。

【0034】

距離計測部 15 は、ビアホールおよびキャパシタ間の距離を計測する。

【0035】

データベース 3 は、ビアホールおよびキャパシタ間の許容距離値を記録した記憶手段である。

【0036】

距離比較部 16 は、ビアホールおよびキャパシタ間の距離とデータベース 3 に記録された許容距離値との比較を行う。

【0037】

警告発生部 17 は、ビアホールおよびキャパシタ間の距離が許容距離値よりも長い場合には警告を発生する。

【0038】

次に本発明の第 1 の実施の形態によるプリント回路配線基板設計方法のフローチャートを示した図 2 と、実装された多層プリント回路基板の斜視図を示した図 3 と、層を跨ぐ配線を接続するビアホールとキャパシタの実装の様子を示した 4 層プリント回路基板の断面図を示した図 4 (a) と、層を跨ぐ配線の影響を等価回路で表示した図 4 (b) とを参照しながら説明する。

【0039】

図 1, 2 において、プリント回路基板 18 のレイアウトデータ入力部 11 では、電源プレーン 19、グランドプレーン 20 の構造、信号配線 24、電源、グラ

ンド両プレーンを跨いで接続されたビアホール 25、電源、グランド両プレーンに接続され、ビアホールに近接して配置されたキャパシタ 26、ドライバ IC 27、レシーバ IC 28 などの能動デバイスに関する位置情報および各層間の間隔の情報が自動、もしくは手動により入力される（処理 S 11）。

#### 【0040】

電源プレーンおよびグランドプレーンのプレーン構造抽出部 12 においては、電源プレーン 19、グランドプレーン 20 間の距離  $t$  や配置に関する情報を抽出する（処理 S 12）。

#### 【0041】

電源プレーン 19 およびグランドプレーン 20 を跨いだ層間配線接続用のビアホール抽出部 13 においては、ドライバ IC 27 とレシーバ IC 28 間を接続する信号配線を抽出する。抽出したこの配線が異なる層に渡ってレイアウトされている場合には、これらの層を貫通して接続するために、導体であるビアホールを設ける必要があり、その配設位置に関する情報を抽出する（処理 S 13）。

#### 【0042】

電源プレーンおよびグランドプレーン間を接続するためのキャパシタ抽出部 14 では、電源プレーン 19 とグランドプレーン 20 間をキャパシタ搭載用パッド 27 とキャパシタ接続ビアホール 29 を介して接続するキャパシタの搭載位置に関する情報を抽出する（処理 S 14）。

#### 【0043】

キャパシタ 26 およびビアホール 25 間の距離を測る距離計測部 15 においては、キャパシタ抽出部 14 で抽出されたキャパシタとのうちビアホール 25 に最も近い距離にあるキャパシタ 26 とビアホール 25 との間の距離  $d_c$  を自動的に計測する。

#### 【0044】

許容可能なビアホールおよびキャパシタ間の距離としての許容距離値を記録したデータベース 3 は、電源プレーン 19 およびグランドプレーン 20 の両プレーンの間隔  $t$  に対して、不要電磁波放射抑制効果の観点から許容可能であるビアホール 25 およびキャパシタ 26 間の距離の最大値である許容距離値  $d_p$  を記録し

たテーブルである。

#### 【0045】

ビアホール 25 およびキャパシタ 26 間の距離  $d_c$  と許容距離値  $d_p$  は、距離比較部 16 において比較され（処理 S16, 処理 S17）、 $d_c > d_p$  の場合、警告発生部 17 において警告および警告の発生した理由を表示する（処理 S18）。

#### 【0046】

次に本発明によるプリント回路配線基板設計支援装置を用いてプリント回路基板を設計することにより、不要電磁波放射が抑制される原理を説明する。

#### 【0047】

電源プレーン 19 およびグランドプレーン 20 の両プレーンを跨ぐ信号配線 24 を接続するビアホール 25 は、図 4 (b) に示すように高周波電流源 30 として作用し、両プレーン間に高周波電圧  $V$  を発生させることが知られている（例えば 2000 年電子情報通信学会総合大会 B-4-65、「多層プリント回路基板の層間配線と電源供給系の結合モデル」参照）。

#### 【0048】

この高周波電圧  $V$  は、電源プレーン 19 およびグランドプレーン 20 の両プレーン内を伝搬し、プレーン端部に到達して不要電磁波放射を発生させる要因となる。

#### 【0049】

層を跨ぐ配線を接続するビアホールの存在により、不要電磁波放射レベルが増加することを示した図 5 (a) ~ (d) を参照すると、この放射は当該ビアホールの近傍に電源プレーン 19 およびグランドプレーン 20 の両プレーン間に接続するキャパシタ 26 を配置して、両プレーン間のインピーダンスを下げることでより低減できる。

#### 【0050】

このように、このキャパシタ 26 は、電源プレーン 19 およびグランドプレーン 20 の両プレーンを跨ぐビアホール 25 に近接して配置する必要がある。

#### 【0051】

ところが、実際にキャパシタ 26 を搭載しようとする、プリント回路基板の構造や部品実装上の制約により、キャパシタ 26 をビアホール 25 の直近におくことができず、キャパシタ 26 はビアホール 25 から離れた位置に搭載されることが多い。

#### 【0052】

しかし、ビアホールおよびキャパシタ間の距離が離れすぎると放射抑制効果は低下するので、プリント基板の設計においては、ビアホールおよびキャパシタ間の距離  $d_c$  の設定が重要な要素である。

#### 【0053】

ビアホールおよびキャパシタ間の距離と電源プレーンおよびグランドプレーンの両プレーン間に発生する電圧の関係をプレーン間隔をパラメータとして示した図 6 (a) と、各許容電圧上昇値に対する電源プレーンおよびグランドプレーン間の間隔とビアホールおよびキャパシタ間の距離との関係を示した図 6 (b) とを参照すると、放射抑制効果がビアホールおよびキャパシタ間の距離  $d_c$  に依存することを示している。

#### 【0054】

すなわち、電源プレーンおよびグランドプレーンの両プレーンの構造を 2 次元の等価回路モデル、ビアホールの影響を高周波電流源として、容量が  $0.01 \mu F$  キャパシタを搭載位置を変えながら、特定の周波数における電源プレーンおよびグランドプレーンの端部における電圧を計算した。

#### 【0055】

横軸はビアホールおよびキャパシタ間の距離  $d_c$ 、縦軸はプレーン端における電源プレーンおよびグランドプレーンの両プレーン間の電圧を  $d_c = 0$  における電圧値で規格化した値であり、電源プレーンおよびグランドプレーンの両プレーン間隔  $t$  をパラメータとしている。

#### 【0056】

電源プレーンおよびグランドプレーンから放射される電磁波の強度はプレーン端部における電圧値に比例する（例えば電子情報通信学会、信学技報 EMC J-2001-16 「L 処理 S I 電源端子電流モデルの EMI シミュレーションへの



適用」2001年7月参照)。

### 【0057】

一般にビアホール25とキャパシタ26間の距離 $d_c$ が大きくなるにしたがい、プレーン電圧 $V$ は高くなるが、この傾向はプレーン間隔が大きくなるほど顕著である。

### 【0058】

例えば、電圧が3 dB上昇する( $\Delta V = 3 \text{ dB}$ ) 距離 $d_c$ を見ると、プレーン間隔 $t = 1 \text{ mm}$ の場合には $d_c = 8 \text{ mm}$ であるのに対し、 $t = 0.4 \text{ mm}$ の場合には $d_c = 30 \text{ mm}$ となる。

### 【0059】

すなわち、プレーン間隔が小さいほど、ビアホールおよびキャパシタ間の距離 $d_c$ を長くとることができる。このプレーン間隔 $t$ 、ビアホールおよびキャパシタ間の間隔 $d_c$ 、放射増加量 $\Delta V$ をデータベースとして有することにより、プリント回路基板設計の段階において、許容可能な放射増加量とビアホールおよびキャパシタ間の許容距離 $d_p$ の関係を示すことができる。前記のデータベースは次に示す表1に示すような表として持つことができる。

### 【0060】

また、プレーン間隔 $t$ とビアホールおよびキャパシタ間の距離 $d_c$ は、両軸を対数で表示した場合、ほぼ直線で表すことができるので、 $d_c = A \times t - B$  (ただし、 $A$ 、 $B$ は定数) で示すような簡単な式で定量化することも可能である。

(表1) 許容電圧上昇値を得るためのビアホールおよびキャパシタ間距離 $d_p$  [mm])

プレーン間隔 $t$	許容電圧上昇範囲		
	2 dB	3 dB	...
$t_1$	5	8	.
$t_2$	7	12	.
$t_3$	9	17	.
.	.	.	.
.	.	.	.

上述した原理に基づけば、本発明の実施の形態は図 7 に示すような構成でも実現できる。

#### 【0061】

本発明の第 1 の実施の形態の応用によるプリント回路配線基板設計支援装置の構成図を示した図 7 と、図 7 の構成によるプリント回路配線基板設計方法のフローチャートを示した図 8 とを参照すると、このプリント回路基板設計支援装置およびプリント回路基板設計方法は、CPU（不図示）の制御の下に動作する制御部 21 と、キー入力部および表示部を備える入出力部 22 と、後述するデータベースを格納する外部記憶手段 23 とを有する。

#### 【0062】

制御部 21 は、レイアウトデータ入力部 211、プレーン構造抽出部 212 と、ビアホール抽出部 213 と、キャパシタ抽出部 214 と、円作成部 215 と、キャパシタ検査部 216 と、警告発生部 217 とを有する。

#### 【0063】

レイアウトデータ入力部 211 は、信号配線、電源プレーン、グランドプレーンを有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、LSI、IC などの能動デバイスやデカップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力手段 22 を介して入力する。

#### 【0064】

プレーン構造抽出部 212 は、電源プレーン、グランドプレーンの構造を抽出する。

#### 【0065】

ビアホール抽出部 213 は、電源プレーンとグランドプレーンとを跨ぐ配線間を接続するための接続手段であり、プリント基板を貫通する導体の層間貫通手段を有するビアホールを抽出する。

#### 【0066】

キャパシタ抽出部 214 は、電源プレーンおよびグランドプレーン間に接続さ

れたキャパシタ 26 を抽出する。

【0067】

円作成部 215 は、ビアホールを中心としてデータベース 23 から出力される距離  $d_p$  を半径とする円を作成する機能を有する。

【0068】

データベース 23 は、電源プレーンおよびグランドプレーン間の距離に対してビアホール 25 およびキャパシタ 26 間の許容距離値を記録した記憶手段である。

【0069】

キャパシタ検査部 216 は、作成された円内にキャパシタ 26 が存在するか否かを検査する。

【0070】

警告発生部 217 は、円内にキャパシタ 26 が存在しない場合には警告を発生する機能を有する。

【0071】

次に、プリント回路配線基板設計支援装置の各構成要素とその手段の詳細を説明する。プリント回路基板のレイアウトデータ入力部 211 では、電源プレーンおよびグランドプレーンの構造、信号配線構造、電源プレーンおよびグランドプレーンの両プレーンを跨いで接続されるビアホール、電源プレーンおよびグランドプレーンの両プレーンに接続され、ビアホールに近接して配置されたキャパシタ、ドライバ IC、レシーバ IC などの能動デバイスに関する位置情報、および各層間間隔の情報が、自動または手動により入力される（処理 S21）。

【0072】

電源プレーン、グランドプレーンのプレーン構造抽出部 212 においては、電源プレーン 22 およびグランドプレーン 20 間の間隔  $t$  や配置に関する情報を抽出する（処理 S22）。

【0073】

電源プレーン 22 およびグランドプレーン 20 を跨いだ層間配線接続用のビアホール抽出部 213 においては、ドライバ IC 27 とレシーバ IC 28 間を接続

する信号配線 24 を抽出する。抽出したこの配線 24 が異なる層に渡ってレイアウトされている場合には、これらの層を貫通して接続するために、導体であるビアホールを設ける必要があり、その配設位置に関する情報を抽出する（処理 S 23）。

#### 【0074】

電源プレーン 22 およびグランドプレーン 20 間を接続するためのキャパシタ抽出部 214 では、電源プレーン 22 とグランドプレーン 20 間をキャパシタ搭載用パッド 27 とキャパシタ接続ビアホール 29 を介して接続するキャパシタ 26 の搭載位置に関する情報を抽出する（処理 S 24）。

#### 【0075】

許容可能なビアホール 25 およびキャパシタ 26 間の距離を記録したデータベース 23 は、電源プレーン 22 およびグランドプレーン 20 の両プレーン間の間隔  $t$  に対して、不要電磁波放射抑制効果の観点から許容可能であるビアホール 25 およびキャパシタ 26 間の距離の最大値である許容距離値  $d_p$  を記録したテーブルである。

#### 【0076】

本発明におけるプリント回路基板上の信号配線とビアホール、およびキャパシタの配置を示した図 9 (a) と、搭載するキャパシタの数を変えたときのビアホールおよびキャパシタ間の距離と電源、グランド両プレーン間に発生する電圧の関係を示した図 9 (b) を参照すると、円作成機能 215 では、レイアウトデータ入力部 211 おいて得られたレイアウトデータを用いて基板レイアウト図面を作成する。

#### 【0077】

作成したこの図面上に、図 9 (a) に示すようにビアホール 25 を中心としてデータベース 23 から出力された許容距離値  $d_p$  を半径とする円を描く（処理 S 25）。

#### 【0078】

さらに、キャパシタ検査部 216 において描かれた円内にキャパシタ 26 の有無を検査し（処理 S 26）、前記円内にキャパシタが存在しない場合には、警告

および、警告の発生した理由を表示する（処理 S 27）。

#### 【0079】

このプリント回路基板設計支援装置およびプリント回路基板設計方法によれば、ビアホール 25 を中心とした半径  $d_p$  の円内にキャパシタ 26 が存在しない場合には不要電磁波放射レベルが高くなるため、警告が表示される。

#### 【0080】

しかしながら、半径  $d_p$  の円内にキャパシタが存在しなくてもさらに大きい半径を設定し、その中に複数のキャパシタを搭載することにより、放射レベルを抑制することができる。

#### 【0081】

図 9 (b) を参照すると、横軸にビアホールからの距離  $d$  離れた位置においてキャパシタが 1 個、2 個、および 3 個搭載されたときの電源プレーンおよびグランドプレーンの両プレーン端部における電圧を示したものである。

#### 【0082】

すなわち、ビアホール 25 に極めて近接してキャパシタ 26 を 1 個搭載した場合のプレーン端電圧レベルは、ビアホール 25 から 10 mm 離れた距離にキャパシタ 26 を 2 個搭載した場合、および 20 mm 離れた距離にキャパシタ 26 を 3 個搭載した場合でほぼ同等である。

#### 【0083】

ビアホール 25 までの距離  $d$  とその効果が十分得られるキャパシタ個数との関係をデータベースとして有することにより不要電磁波放射を考慮したプリント回路基板設計情報を提供することができる。

#### 【0084】

この効果を利用し、次に述べるようなプリント回路基板設計支援装置およびプリント回路基板設計方法を実現することができる。

#### 【0085】

本発明の第 1 の実施の形態の応用による他のプリント回路配線基板設計支援装置の構成図を示した図 10 と、図 10 の構成によるプリント回路配線基板設計方法のフローチャートを示した図 11 を参照すると、このプリント回路基板設計支

援装置は、CPU（不図示）の制御の下に動作する制御部 31 と、キー入力部および表示部を備える入出力部 32 と、後述するデータベースを格納する外部記憶手段 33 とを有する。

#### 【0086】

制御部 31 は、レイアウトデータ入力部 311、プレーン構造抽出部 312 と、ビアホール抽出部 313 と、キャパシタ抽出部 314 と、円作成部 315 と、キャパシタ個数検査部 316 と、警告発生部 317 とを有する。

#### 【0087】

レイアウトデータ入力部 311 は、信号配線、電源プレーン、グランドプレーンを有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、LSI、ICなどの能動デバイスやデカップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力手段 32 を介して入力する。

#### 【0088】

プレーン構造抽出部 312 は、電源プレーン、グランドプレーンの構造を抽出する。

#### 【0089】

ビアホール抽出部 313 は、電源プレーン 22 とグランドプレーン 20 とを跨ぐ配線間を接続するための接続手段であり、プリント基板を貫通する導体層間貫通手段を有するビアホール 25 を抽出する。

#### 【0090】

キャパシタ抽出部 314 は、電源プレーン 22 およびグランドプレーン 20 間に接続されたキャパシタを抽出する。

#### 【0091】

データベース 33 は、電源プレーン 22 およびグランドプレーン 20 間の距離に対してビアホール 25 およびキャパシタ 26 間の許容距離値  $d_p$  と、その距離に対して必要なキャパシタ 26 の個数  $n_p$  の関係を記録した記憶手段である。

#### 【0092】

円作成部 315 は、ビアホール 25 を中心としてデータベース 33 から出力さ

れる距離  $d_p$  を半径とする円を作成する機能を有する。

#### 【0093】

キャパシタ個数検査部 316 は、作成された円内にキャパシタ 25 が何個存在するか否かを検査する。

#### 【0094】

警告発生部 317 は、円内にキャパシタが存在しない場合には警告を発生する機能を有する。

#### 【0095】

次に、図 3、4 も併せて参照しながらプリント回路配線基板設計支援装置の各構成要素とその手段の詳細を説明する。プリント回路基板のレイアウトデータ入力部 311 では、電源プレーン 22 およびグランドプレーン 20 の構造、信号配線構造、電源プレーン 22 およびグランドプレーン 20 の両プレーンを跨いで接続されるビアホール 25、電源プレーン 22 およびグランドプレーン 20 の両プレーンに接続され、ビアホール 25 に近接して配置されたキャパシタ 26、ドライバ IC 27、レシーバ IC 28 などの能動デバイスに関する位置情報、および各層間間隔の情報が、自動または手動により入力される（処理 S31）。

#### 【0096】

電源プレーン、グランドプレーンのプレーン構造抽出部 312 においては、電源プレーン 22 およびグランドプレーン 20 間の間隔  $t$  や配置に関する情報を抽出する（処理 S32）。

#### 【0097】

電源プレーン 22 およびグランドプレーン 20 を跨いだ層間配線接続用のビアホール抽出部 313 においては、ドライバ IC 27 とレシーバ IC 28 間を接続する信号配線 24 を抽出する。

#### 【0098】

抽出したこの配線 24 が異なる層に渡ってレイアウトされている場合には、これらの層を貫通して接続するために、導体であるビアホール 25 を設ける必要があり、その配設位置に関する情報を抽出する（処理 S33）。

#### 【0099】

電源プレーン 22 およびグランドプレーン 20 間を接続するためのキャパシタ抽出部 314 では、電源プレーン 22 とグランドプレーン 20 間をキャパシタ搭載用パッド 27 とキャパシタ接続ビアホール 29 を介して接続するキャパシタ 26 の搭載位置に関する情報を抽出する（処理 S34）。

#### 【0100】

前述したように、データベース 33 は、電源プレーン 22 およびグランドプレーン 20 の両プレーン間の間隔  $t$  に対して、不要電磁波放射抑制効果の観点から許容可能であるビアホール 25 およびキャパシタ 26 間の距離の最大値である許容距離値  $d_p$  と、その距離に対して必要なキャパシタ 26 の個数  $n_p$  の関係を記録したテーブルである。このデータベースを参照して、円作成機能 315 では、レイアウトデータ入力部 311 おいて得られたレイアウトデータを用いて基板レイアウト図面を作成する。

#### 【0101】

作成したこの図面上に、図 9 (a) に示すようにビアホール 25 を中心としてデータベース 33 から出力された許容距離値  $d_p$  を半径とする円を描く（処理 S35）。

#### 【0102】

さらに、キャパシタ個数検査部 316 において描かれた円内にキャパシタ 26 の有無を検査し、さらに、キャパシタ 26 が何個あるかを検査する（処理 S36）

検査した結果、前記円内にキャパシタ 26 が存在しない場合、および、必要なキャパシタの個数  $n_p$  を満たしていない場合は、警告および警告の発生した理由を表示する（処理 S37）。

#### 【0103】

このプリント回路基板設計支援装置およびプリント回路基板設計方法によれば、ビアホール 25 を中心とした半径  $d_p$  の円内に必要な個数  $n_p$  を満たしていない、つまり円内の個数  $n$  が個数  $n_p$  以下の場合には、不要電磁波放射レベルが高くなるため、警告が表示される。

#### 【0104】



しかしながら、半径  $d_p$  の円内に必要なキャパシタが存在しなくてもさらに大きい半径を設定し、その中に複数のキャパシタを搭載することにより、放射レベルを抑制することができる。

#### 【0105】

次に、本発明による第2の実施の形態を説明する。

#### 【0106】

本発明の第2の実施の形態によるプリント回路配線基板設計支援装置の構成図を示した図12と、図12の構成によるプリント回路配線基板設計方法のフローチャートを示した図13と、第2の実施の形態を説明するための図であって、層を跨ぐ配線を接続するビアホールとキャパシタの実装の様子を示した4層プリント回路基板の断面図を示した図14(a)と、LSIと電源ピン、キャパシタの関係を示した図14(b)と、プリント回路基板の電源、グランドプレーン、LSI、キャパシタの電気的な振る舞いを等価回路表示した図14(c)とをそれぞれ併せて参照すると、このプリント回路基板設計支援装置は、CPU(不図示)の制御の下に動作する制御部41と、キー入力部および表示部を備える入出力部42と、後述するデータベースを格納する外部記憶手段43とを有する。

#### 【0107】

制御部41は、レイアウトデータ入力部411、プレーン構造抽出部412と、LSI電源ピン抽出部413と、キャパシタ抽出部414と、キャパシタ間の距離計測部415と、データベース43と、距離比較部416と、警告発生部417とを有する。

#### 【0108】

レイアウトデータ入力部411は、信号配線24、電源プレーン54、グランドプレーン55を有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、LSI、ICなどの能動デバイスやデカップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力手段42を介して入力する。

#### 【0109】

プレーン構造抽出部 412 は、電源プレーン 54、グランドプレーン 55 の構造を抽出する。

【0110】

L S I の電源ピン抽出部 413 は、電源ピン 52 の位置に関する情報を抽出する。

【0111】

キャパシタ抽出部 414 は、電源プレーン 54 およびグランドプレーン 55 間に接続されたキャパシタ 53 を抽出する。

【0112】

距離計測部 415 は、L S I 51 の電源ピン 52 およびキャパシタ 53 間の距離  $d_c$  を計測する。

【0113】

データベース 43 は、L S I 51 の電源ピン 52 およびキャパシタ 53 間の許容距離値  $d_p$  を記録した記憶手段である。

【0114】

距離比較部 416 は、L S I 51 の電源ピン 52 およびキャパシタ 53 間の距離とデータベース 43 に記録された許容距離値  $d_p$  との比較を行う。

【0115】

警告発生部 417 は、L S I の電源ピン 52 およびキャパシタ 53 間の距離が許容距離値  $d_p$  よりも大きい場合には警告を発生する。

【0116】

次に本プリント回路配線基板設計支援装置の各構成要素とその詳細を説明する。図 12、13、14 において、プリント回路基板のレイアウトデータ入力部 411 では、電源プレーン 54、グランドプレーン 55 の構造、電源、グランド両プレーンを接続され、ビアホールに近接して配置されたキャパシタ 53、L S I、I C 51 などの能動デバイスに関する位置情報、および各層間の間隔の情報が自動または手動により入力される（処理 S 41）。

【0117】

電源プレーンおよびグランドプレーンのプレーン構造抽出部 412 においては

、前述した電源プレーン 54 およびグランドプレーン 55 間の距離  $t$  や配置に関する情報を抽出する（処理 S42）。

#### 【0118】

LSI 51 の電源ピン抽出部 413 においては、図 14 に示すように、LSI や IC 51 の各ピンのうち、電源ピン 52 の位置に関する情報を抽出する（処理 S43）。

#### 【0119】

電源プレーンおよびグランドプレーン間のキャパシタ抽出部 414 では、電源プレーン 54 およびグランドプレーン 55 間をキャパシタ搭載用パッドとキャパシタ接続ビアホールとを介して接続する、キャパシタ 53 の搭載位置に関する情報を抽出する（処理 S44）。

#### 【0120】

電源ピンおよびキャパシタ間の距離計測部 415 においては、電源ピン 52 とキャパシタ抽出部 414 で抽出されたキャパシタ 53 とのうち、電源ピン 52 に最も近い距離にあるキャパシタ 53 までの距離  $d_c$  を自動的に計測する（処理 S45）。

#### 【0121】

データベース 43 は、電源プレーン 54 およびグランドプレーン 55 の両プレーン間の間隔  $t$  に対して、電源電圧変動が一定範囲以下となる電源ピン 52 およびキャパシタ 53 間の距離の最大値である許容距離値  $d_p$  を記録したテーブルである。

#### 【0122】

このデータベース 43 を参照して、距離比較部 416 が、電源ピン 52 およびキャパシタ 53 間の距離値  $d_c$  と許容距離値  $d_p$  とを比較し（処理 S46、47）、 $d_c > d_p$  の場合、警告発生部 417 において警告および警告の発生した理由を表示する（処理 S48）。

#### 【0123】

次に本実施の形態におけるプリント回路基板設計装置において、電源電圧変動を抑制した安定な電源を供給するプリント回路基板が提供できる理由を説明する

。

## 【0124】

図14(c)を参照すると、この図は図14(a)の構造を等価回路を用いて表現したものである。この等価回路はLSI, IC51の電源プレーン54とグランドプレーン55とを結び、キャパシタ53の容量C、キャパシタおよびキャパシタの搭載により生じる寄生インダクタンス成分 $L_{cap57}$ 、およびLSI51の電源ピン52およびキャパシタ間の距離が離れているために生じるインダクタンス成分 $L_{pcb56}$ で構成される。

## 【0125】

ビアホールおよびキャパシタ間の距離とインダクタンスとの関係を、プレーン間隔をパラメータとして示した図15を参照すると、このインダクタンス成分 $L_{pcb}$ の電源ピン52およびキャパシタ53間の距離依存性を、電源プレーンおよびグランドプレーン間の間隔 $t$ をパラメータとして示した図であり、インダクタンス成分 $L_{pcb56}$ はLSIの電源ピン52およびキャパシタ53間の距離 $d_c$ 、プリント回路基板の電源プレーン54およびグランドプレーン55の両プレーン間隔 $t$ のほか、プレーンや基板を構成する誘電材料にも依存する。

## 【0126】

ところで、LSIがスイッチング動作を行なう場合には、図14(c)に示すようにLSI51の電源ピン52に瞬時に電流 $I$ が流れ込む。この電流 $I$ は、インダクタンス成分 $L_{pcb56}$ の両端に $\Delta V = L_{pcb} \cdot dI / dt$ で示されるような電源電圧変動 $\Delta V$ を引き起こす。

## 【0127】

この電圧変動の発生はLSI51の電源およびグランド間の電源電圧の一時的な変動を引き起こし、しばしば、信号の立ち上がり時間の遅延、タイミングの乱れなどの回路誤動作の要因となっている。

## 【0128】

LSIがスイッチングする際に、電源側に流れる電流の波形を示した図16(a)と、インダクタンスの両端に発生する電圧の波形を示した図16(b)と、各インダクタンス値を得るための電源、グランドプレーン間隔と電源ピンおよび

キャパシタ間の距離の関係を示した図 16 (c) とを併せて参照すると、LSI 51 の電源ピン 52 に流れ込む電流  $I$  は多くの場合、図 16 (a) 三角波形であり、インダクタンス成分  $L_{pcb56}$  の両端に発生する電圧は図 16 (b) に示すような矩形形状に近い波形となる。このときの電圧の振幅はインダクタンス成分  $L_{pcb56}$  に比例する。

#### 【0129】

逆に、電圧変動を一定の範囲以内で抑制しようとするためには、インダクタンス成分  $L_{pcb56}$  を小さくする必要がある。例えば、立ち上がりが  $2\text{ ns}$ 、振幅  $1\text{ A}$  の電流が流れる場合の電圧変動は、 $L_{pcb}=0.5\text{ nH}$  では  $0.25\text{ [V]}$ 、 $L_{pcb}=1.0\text{ nH}$  では  $0.5\text{ [V]}$  である。

#### 【0130】

許容できる電源電圧変動値は、電源供給電圧に依存する。例えば、電源供給電圧が  $3.3\text{ V}$  であり、電源電圧変動の許容値をその約  $10\%$ 、 $\Delta V=0.3\text{ V}$  未満に抑えるためにはインダクタンス成分  $L_{pcb56}$  は  $0.6\text{ nH}$  以下にする必要がある。

#### 【0131】

インダクタンス成分  $L_{pcb56}$  が  $0.6\text{ nH}$  となる電源ピン 52 およびキャパシタ 53 間の距離  $d_c$  は、電源プレーンおよびグランドプレーン間の間隔  $t$  に対して、図 16 (c) で表されるような関係で表すことができる。

#### 【0132】

この関係をデータベースとして持つことにより、対象とする電源供給系の電源電圧変動を一定以下にするための、キャパシタの配置位置を決定することができる。

#### 【0133】

前記のデータベースは下記に示すような表として持つことができる。また、図 16 (c) に示すようにプレーン間隔  $t$  とビアホールおよびキャパシタ間の許容距離値  $d_p$  は、両軸を対数で表示することによりほぼ直線で表すことができるので、 $d_p = C \times t - D$  (ただし、 $C$ 、 $D$  は定数) に示すような簡単な式で定式化することも可能である。

(表 2)  $L_{pcb}$ を得るための電源ピンおよびキャパシタ間の許容距離値  $d_p$  [mm]

プレーン間隔 $t$	インダクタンス成分 $L_{pcb}$		
	0.4 nH	0.6 nH	...
$t_1$	1.2	1.8	.
$t_2$	4	6	.
$t_3$	2.5	4	.
.	.	.	.
.	.	.	.
.	.	.	.

上述した実施の形態の場合もプリント回路基板の設計段階から不要電磁波放射抑制対策を盛り込むことができる。

【0134】

また、従来の基板の設計手法、構造を維持しながら、基板レイアウトの最適化を図ることにより回路の誤動作を抑制する効果を有する。

【0135】

以上に述べたような原理に基づけば、本発明の実施の形態は、本発明の第 2 の実施の形態の応用によるプリント回路配線基板設計支援装置の構成図を示した図 17 と、図 17 の構成によるプリント回路配線基板設計方法のフローチャートを示した図 18 とに示すような構成を有するプリント回路基板設計支援装置およびプリント回路基板設計方法によっても実現できる。

【0136】

図 17 および前述した図 14 を併せて参照すると、このプリント回路基板設計支援装置は、CPU（不図示）の制御の下に動作する制御部 61 と、キー入力部および表示部を備える入出力部 62 と、後述するデータベースを格納する外部記憶手段 63 とを有する。

【0137】

制御部 61 は、レイアウトデータ入力部 611、プレーン構造抽出部 612 と、LSI 71 の電源ピン抽出部と、キャパシタ抽出部 614 と、データベース 6

3と、円作成部615と、キャパシタ検査部616と、警告発生部617とを有する。

#### 【0138】

レイアウトデータ入力部611は、信号配線、電源プレーン、グランドプレーンを有するプリント回路基板に、信号配線、電源プレーンおよびグランドプレーンの構造、両プレーン間の間隔、LSI、ICなどの能動デバイスやデカップリングキャパシタなどの受動素子を搭載する場合の、それぞれの配置位置を示したプリント回路基板のレイアウトデータを入出力手段62を介して入力する。

#### 【0139】

プレーン構造抽出部612は、電源プレーン、グランドプレーンの構造を抽出する。

#### 【0140】

LSIの電源ピン抽出部613は、電源ピン52（または72）の位置に関する情報を抽出する。

#### 【0141】

キャパシタ抽出部614は、電源プレーン54およびグランドプレーン55間に接続されたキャパシタ53（または73）を抽出する。

#### 【0142】

データベース63は、電源ピン72およびキャパシタ73間の許容距離値 $d_p$ を記録した記憶手段である。

#### 【0143】

円作成部615は、電源ピン72を中心としてデータベース63から出力される許容距離値 $d_p$ を半径とする円74を作成する機能を有する。

#### 【0144】

キャパシタ検査部616は、作成された円74内に前記キャパシタ73が存在するか否かを検査する。

#### 【0145】

警告発生部617は、円71内にキャパシタ73が存在しない場合には警告を発生する機能を有する。

## 【0146】

次にプリント回路配線基板設計支援装置 61 の各構成要素とその手段の詳細を説明する。プリント回路基板のレイアウトのデータ入力部 611 では、電源プレーン、グランドプレーンの構造、信号配線構造、電源、グランド両プレーンを跨いで接続されらビアホール、電源、グランド両プレーンを接続され、ビアホールに近接して配置されたキャパシタ、ドライバ IC、レシーバ IC などの能動デバイスに関する位置情報、および各層間間隔の情報が自動または手動により入力される（処理 S61）。

## 【0147】

電源プレーン 54 およびグランドプレーン 55 のプレーン構造抽出部 612 においては、電源プレーン 54 およびグランドプレーン 55 間の距離  $t$  や配置に関する情報を抽出する（処理 S62）。

## 【0148】

LSI 71 の電源ピン抽出部 613 においては、図 19 に示すように LSI や IC 71 の各ピンのうち電源ピン 72 の位置に関する情報を抽出する（処理 S63）。

## 【0149】

電源プレーン 54 およびグランドプレーン 55 間のキャパシタ抽出部 614 では、電源プレーン 54 およびグランドプレーン 55 間に、キャパシタ搭載用パッドとキャパシタ接続ビアホールを介して接続されたキャパシタの搭載位置に関する情報を抽出する（処理 S64）。

## 【0150】

電源ピン 72 およびキャパシタ 73 間の距離を記録したデータベース 63 は、電源プレーン 54 およびグランドプレーン 55 の両プレーン間の間隔  $t$  に対して、電源電圧変動抑制の観点から許容可能である等価インダクタンス  $L_{pcb}$  を得るための電源ピン 72 およびキャパシタ 73 間の距離の最大値を示す許容距離値  $d_p$  を記載したテーブルである（処理 S65）。

## 【0151】

プリント回路基板上に搭載された LSI 71 とその電源ピン 72 およびキャパ



シタ 73 の配置を示した図 19 を参照すると、円作成部 615 では、データベース 63 と、レイアウトデータ入力部 611 において得られたレイアウトデータとを用いて、基板レイアウト図面を作成し、この図面上に電源ピン 72 を中心としてデータベース 63 から出力された許容距離値  $d_p$  を半径とする円 74 を描く（処理 S66）。

#### 【0152】

さらに、キャパシタ検査部 616 においては、描かれた円内のキャパシタの有無を検査し（処理 S67）、キャパシタが存在しない場合には、警告および警告の発生した理由を表示する（処理 S68）。

#### 【0153】

上述した実施の形態の場合もプリント回路基板の設計段階から不要電磁波放射抑制対策を盛り込むことができる。

#### 【0154】

また、従来の基板の設計手法、構造を維持しながら、基板レイアウトの最適化を図ることにより回路の誤動作を抑制する効果を有する。

#### 【0155】

##### 【発明の効果】

本発明のプリント回路配線基板設計支援装置およびプリント回路基板設計方法によれば、データベースとして、プリント回路基板レイアウトデータを基に、電源からグランド両プレーン間隔  $t$  に対して、不要電磁波放射抑制効果の観点から許容可能であるビアホールおよびキャパシタ間距離の最大値である許容距離値  $d_p$  を記載したテーブルを参照して、ビアホールおよびキャパシタ間距離  $d_c$  と許容距離値  $d_p$  を距離検査部において比較し、 $d_c > d_p$  の場合、警告発生部において警告および警告の発生した理由を表示するので、プリント回路基板の設計段階から不要電磁波放射抑制対策を盛り込むことができる。

#### 【0156】

また、電源ピンからキャパシタ間の許容距離  $d_p$  のテーブルを参照して、電源ピンを中心に半径  $d_p$  の円内にキャパシタがある場合と、電源ピンからキャパシタ間の許容距離  $d_p$  および必要キャパシタの個数の関係を記録したテーブルを参

照して、電源ピンを中心に半径  $d_p$  の円内に必要なキャパシタ数が配置されていない場合と、電源ピンからキャパシタ間の距離が許容距離以上になる場合と、電源ピンからキャパシタ間の許容距離以内にキャパシタがない場合とも、それぞれ警告および警告の発生した理由を表示するので、これらの場合もプリント回路基板の設計段階から不要電磁波放射抑制対策を盛り込むことができる。

#### 【0157】

また、従来の基板の設計手法、構造を維持しながら、基板レイアウトの最適化を図ることにより回路の誤動作を抑制する効果を有する。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施の形態によるプリント回路配線基板設計支援装置の構成図である。

##### 【図2】

本発明の第1の実施の形態によるプリント回路配線基板設計方法のフローチャートである。

##### 【図3】

本発明の第1の実施の形態を説明するための図であって、実装された多層プリント回路基板の斜視図である。

##### 【図4】

(a) 層を跨ぐ配線を接続するビアホールとキャパシタの実装の様子を示した4層プリント回路基板の断面図である。

(b) 層を跨ぐ配線の影響を等価回路で表示した図である。

##### 【図5】

層を跨ぐ配線を接続するビアホールの存在により不要電磁波放射レベルが増加することを示している。

##### 【図6】

(a) ビアホールおよびキャパシタ間の距離と電源、グランド両プレーン間に発生する電圧の関係をプレーン間隔をパラメータとして示した図である。

(b) 各許容電圧上昇値に対する電源、グランドプレーン間隔とビアホールお

よびキャパシタ間距離との関係を示した図である。

【図 7】

本発明の第 1 の実施の形態の応用によるプリント回路配線基板設計支援装置の構成図である。

【図 8】

図 7 の構成によるプリント回路配線基板設計方法のフローチャートである。

【図 9】

(a) 本発明におけるプリント回路基板上の信号配線とビアホール、およびキャパシタの配置を示した図である。

(b) 搭載するキャパシタの数を変えたときのビアホールおよびキャパシタ間の距離と電源、グランド両プレーン間に発生する電圧の関係を示した図である。

【図 10】

本発明の第 1 の実施の形態の応用による他のプリント回路配線基板設計支援装置の構成図である。

【図 11】

図 10 の構成によるプリント回路配線基板設計方法のフローチャートである。

【図 12】

本発明の第 2 の実施の形態によるプリント回路配線基板設計支援装置の構成図である。

【図 13】

図 12 の構成によるプリント回路配線基板設計方法のフローチャートである。

【図 14】

(a) 第 2 の実施の形態を説明するための図であって、層を跨ぐ配線を接続するビアホールとキャパシタの実装の様子を示した 4 層プリント回路基板の断面図である。

(b) L S I と電源ピン、キャパシタの関係を示した図である。

(c) プリント回路基板の電源、グランドプレーン、L S I、キャパシタの電氣的な振る舞いを等価回路表示した図である。

【図 15】

ビアホールおよびキャパシタ間の距離とインダクタンスの関係をプレーン間隔をパラメータとして示した図である。

【図 16】

(a) L S I がスイッチングする際に電源側に流れる電流の波形を示した図である。

(b) インダクタンスの両端に発生する電圧の波形を示した図である。

(c) 各インダクタンス値を得るための電源、グランドプレーン間隔と電源ピン-キャパシタ間距離の関係を示した図である。

【図 17】

本発明の第 2 の実施の形態の応用によるプリント回路配線基板設計支援装置の構成図である。

【図 18】

図 17 の構成によるプリント回路配線基板設計方法のフローチャートである。

【図 19】

プリント回路基板上に搭載された L S I とその電源ピンおよびキャパシタの配置を示した図である。

【図 20】

従来の技術によるプリント回路基板の設計方法、プリント回路基板およびプリント回路基板を備える電子機器である。

【図 21】

従来技術による電子回路部品の電源パターン接続構造である。

【図 22】

従来技術によるプリント基板配置処理装置である。

【図 23】

放射ノイズ防止プリント基板配置配線処理システムである。

【符号の説明】

3, 23, 33, 43, 63      データベース

11, 211, 311, 411, 611      レイアウトデータ入力部

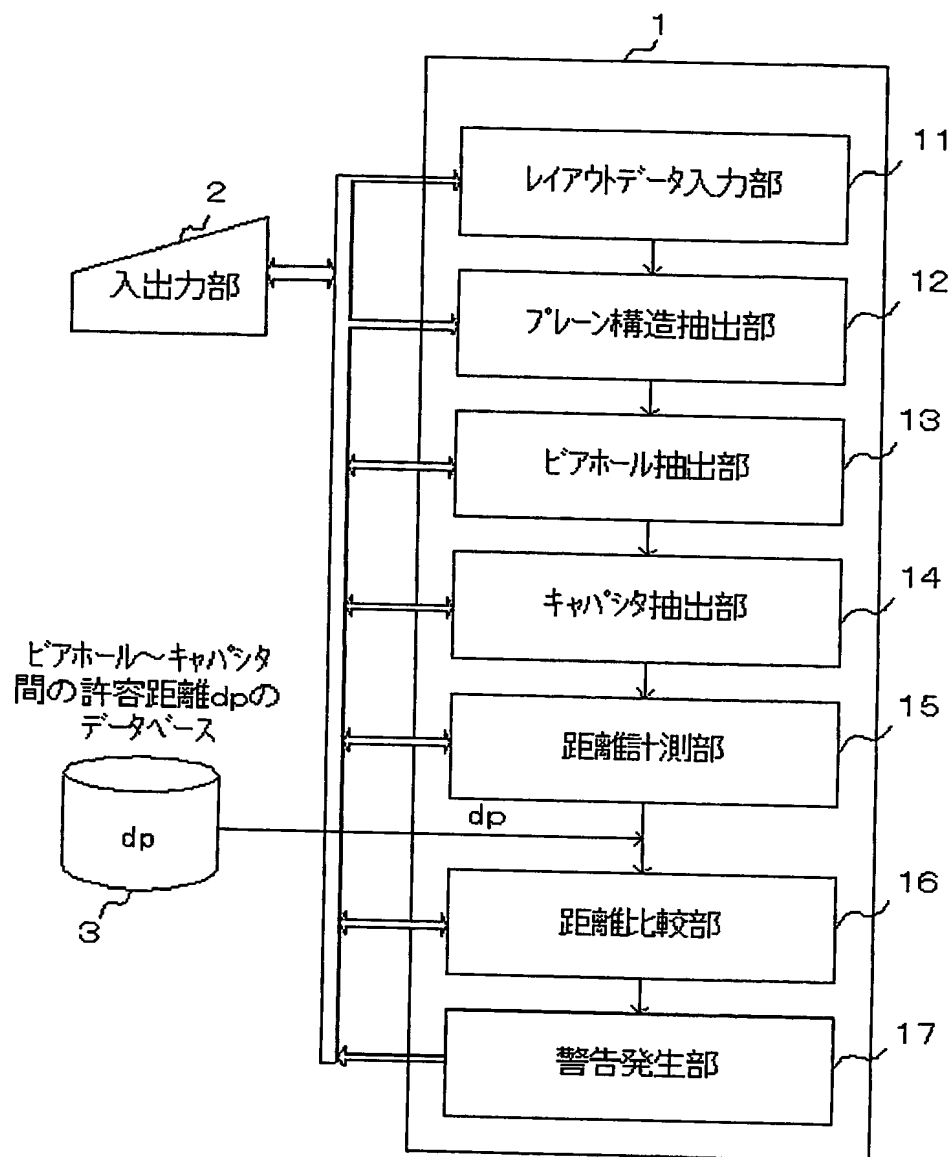
12, 212, 312, 412, 612      プレーン構造抽出部

13, 213, 313      ビアホール抽出部  
14, 214, 314, 414, 614      キャパシタ抽出部  
15, 415      距離計測部  
16, 416      距離比較部  
17, 217, 317, 417, 617      警告発生部  
19, 54, 95      電源プレーン  
20, 55, 96      グランドプレーン  
24      信号配線  
25, 29      ビアホール  
26, 53, 73, 101      キャパシタ  
27      パッド  
30      高周波電流源  
51, 71      LSI, IC  
52, 72, 93      電源ピン  
56      インダクタンス成分  $L_{pcb}$   
57      インダクタンス成分  $L_{cap}$   
80      絶縁基板  
81, 91      プリント配線基板  
84      グランドパタン  
83      分岐電源パタン  
82      基幹電源パタン  
85      スルーホール  
92      LSI  
94      グランドピン  
97, 98      第1の電源パタン  
99, 100      第1のグランドパタン  
101      キャパシタ  
111      入力部  
112      演算処理部

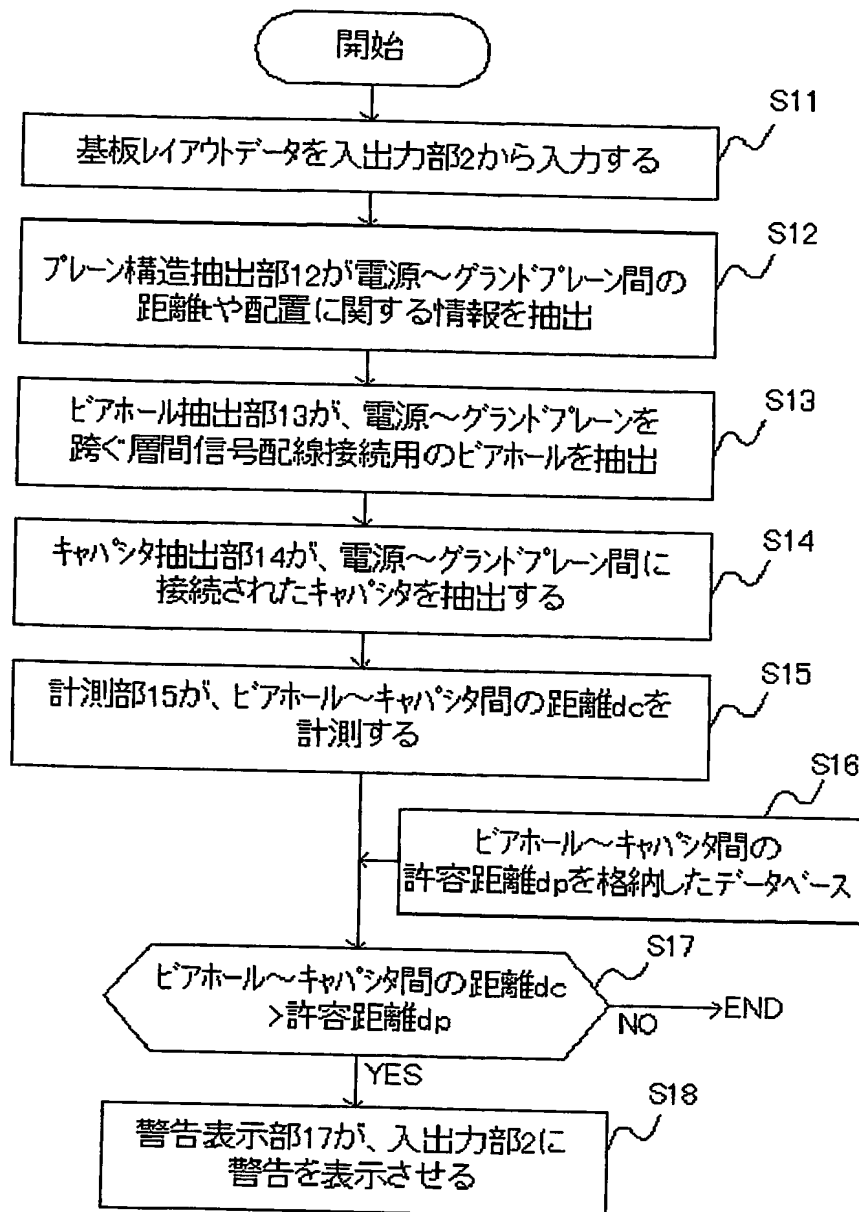
- 1 1 3      データ記憶部
- 1 2 1      入力部
- 1 2 2      演算処理部
- 1 2 3      データ記憶部
- 1 2 4      配置配線処理部
- 1 2 5      電子部品電源ピン抽出部
- 1 2 6      配線パターン抽出部
- 1 2 7      線長、線幅検査部
- 1 2 8      パスコン追加可能性検査部
- 1 2 9      配線経路変更可能検査部
- 1 3 0      配線経路変更実効部
- 1 3 1      パスコン追加実行部
- 1 3 2      エラー表示部
- 2 1 5, 3 1 5, 6 1 5      円作成部
- 2 1 6、6 1 6      キャパシタ検査部
- 3 1 6      個数検査部
- 4 1 3, 6 1 3      電源ピン抽出部

【書類名】 図面

【図1】

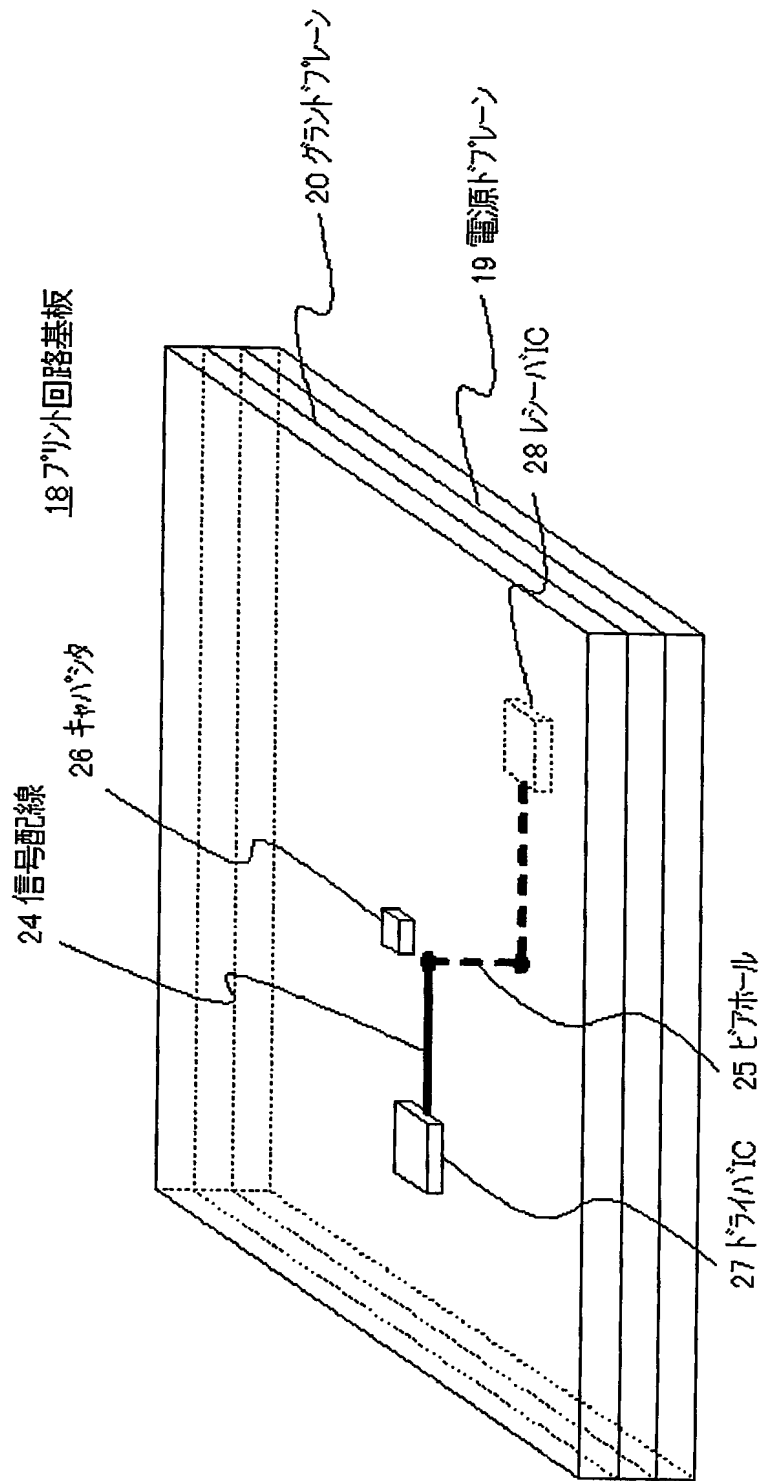


【図 2】

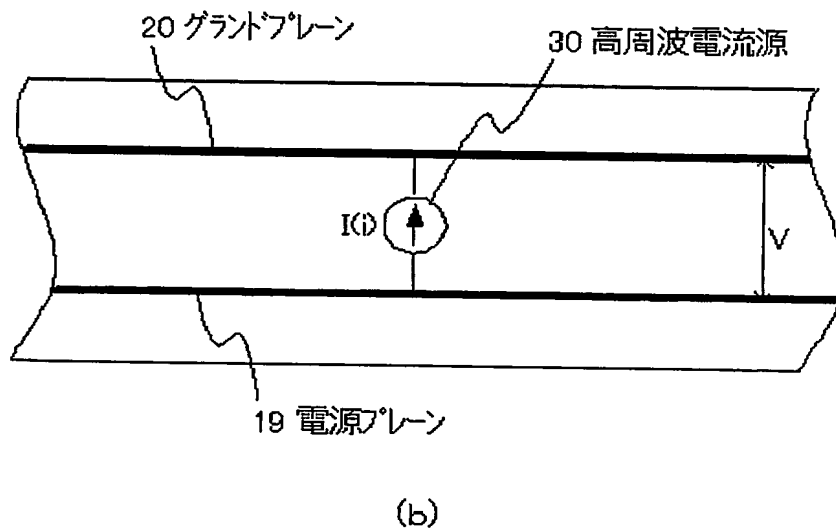
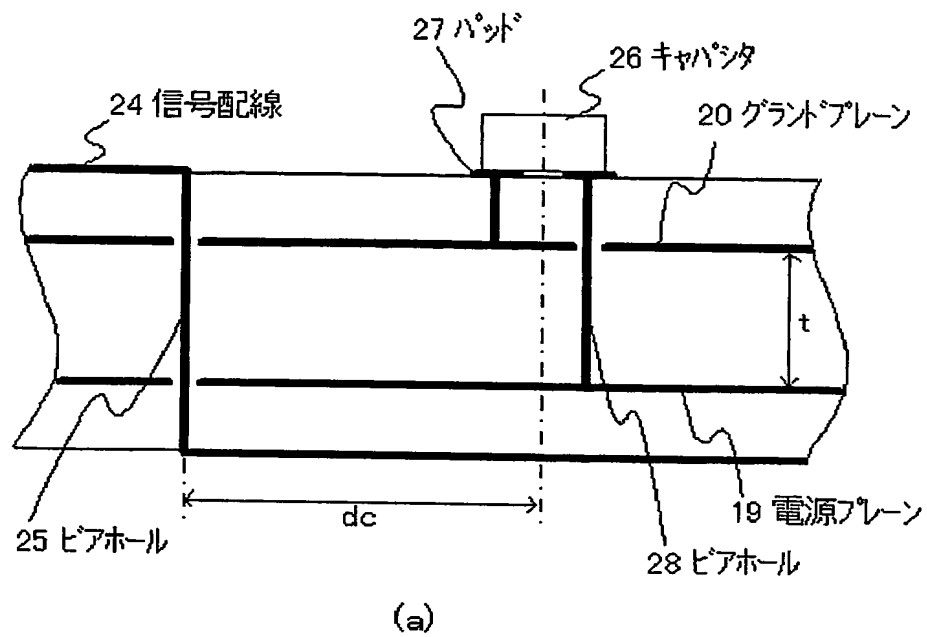




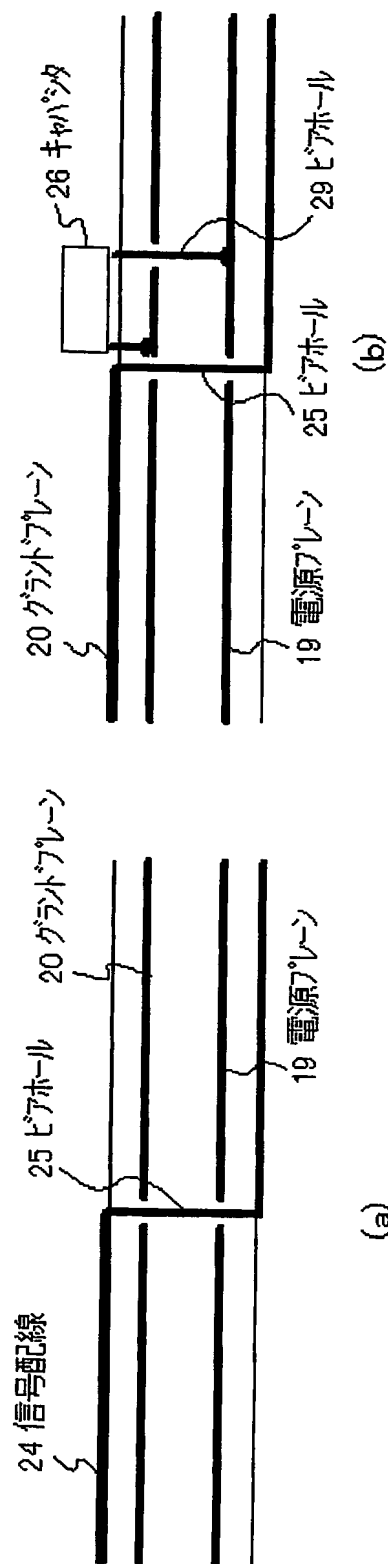
【図3】



【図 4】

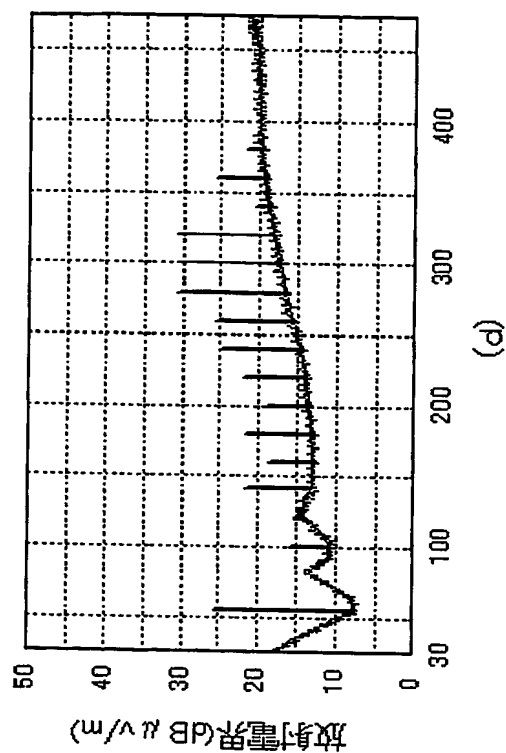
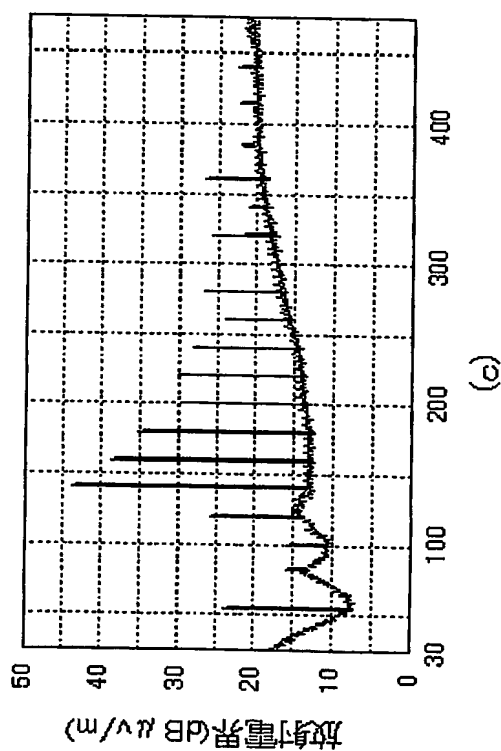


【図 5】

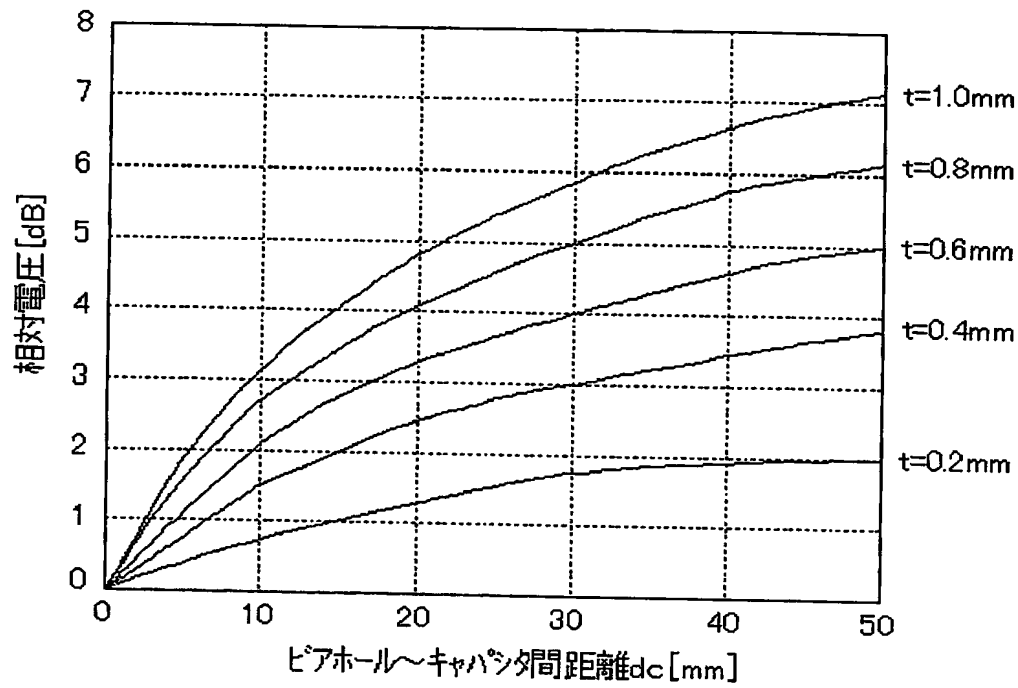


(a)

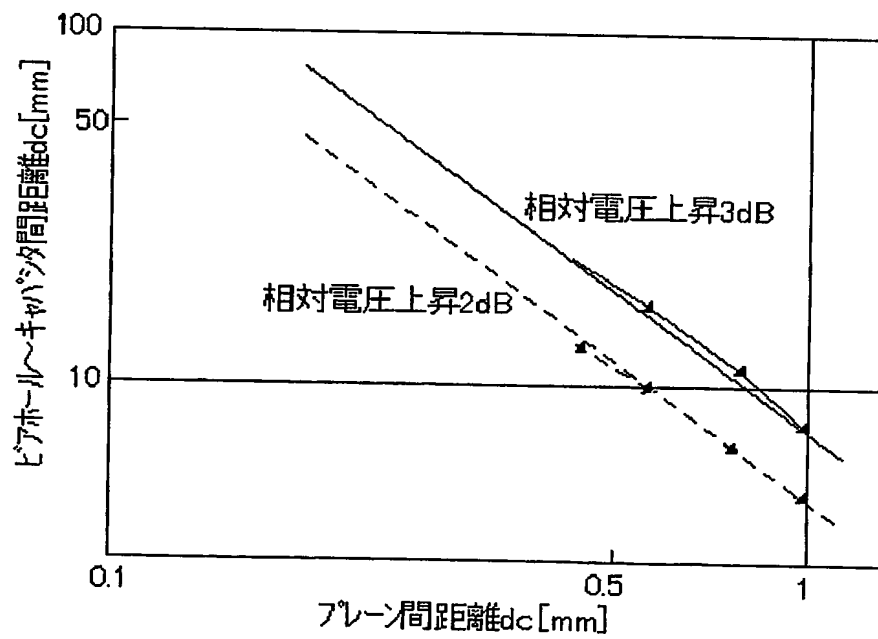
(b)



【図 6】

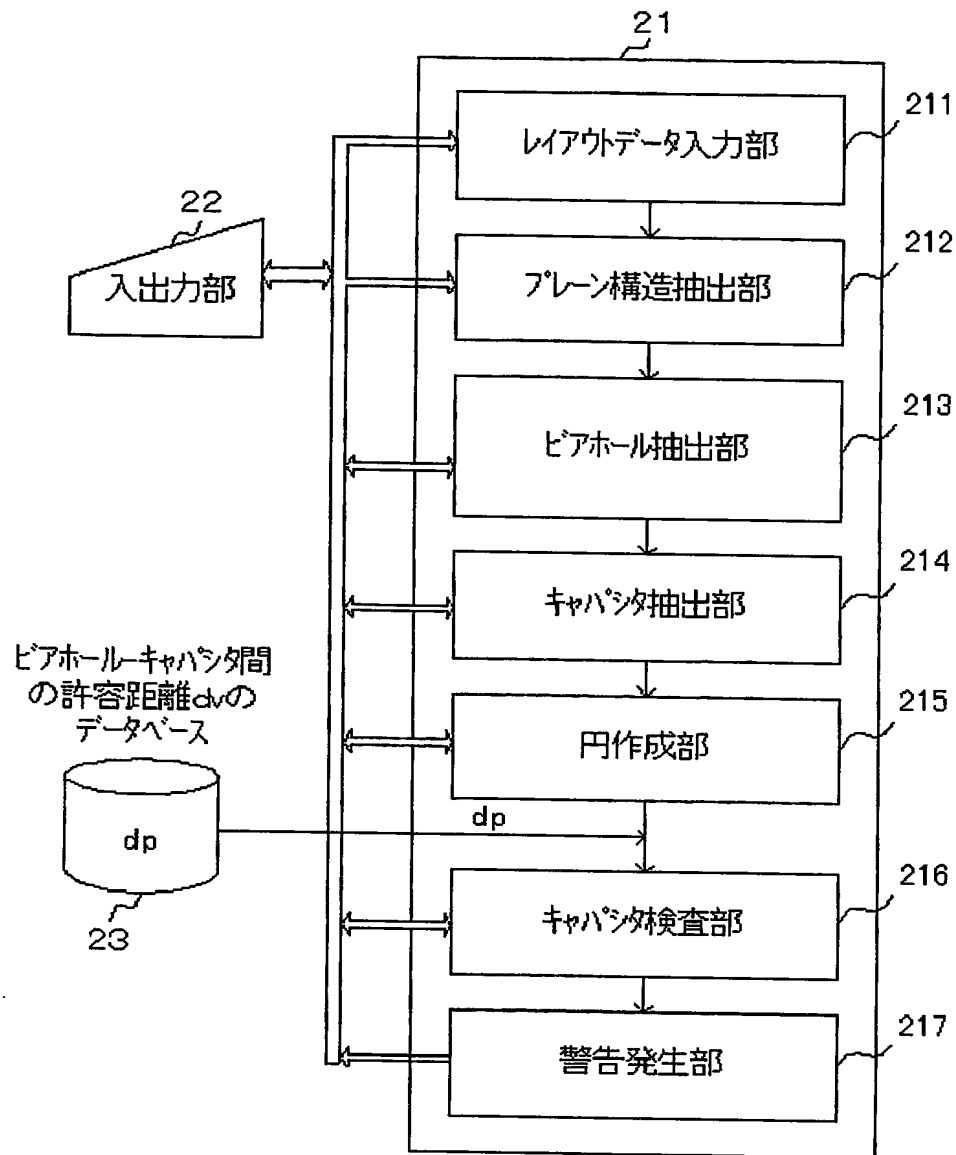


(a)

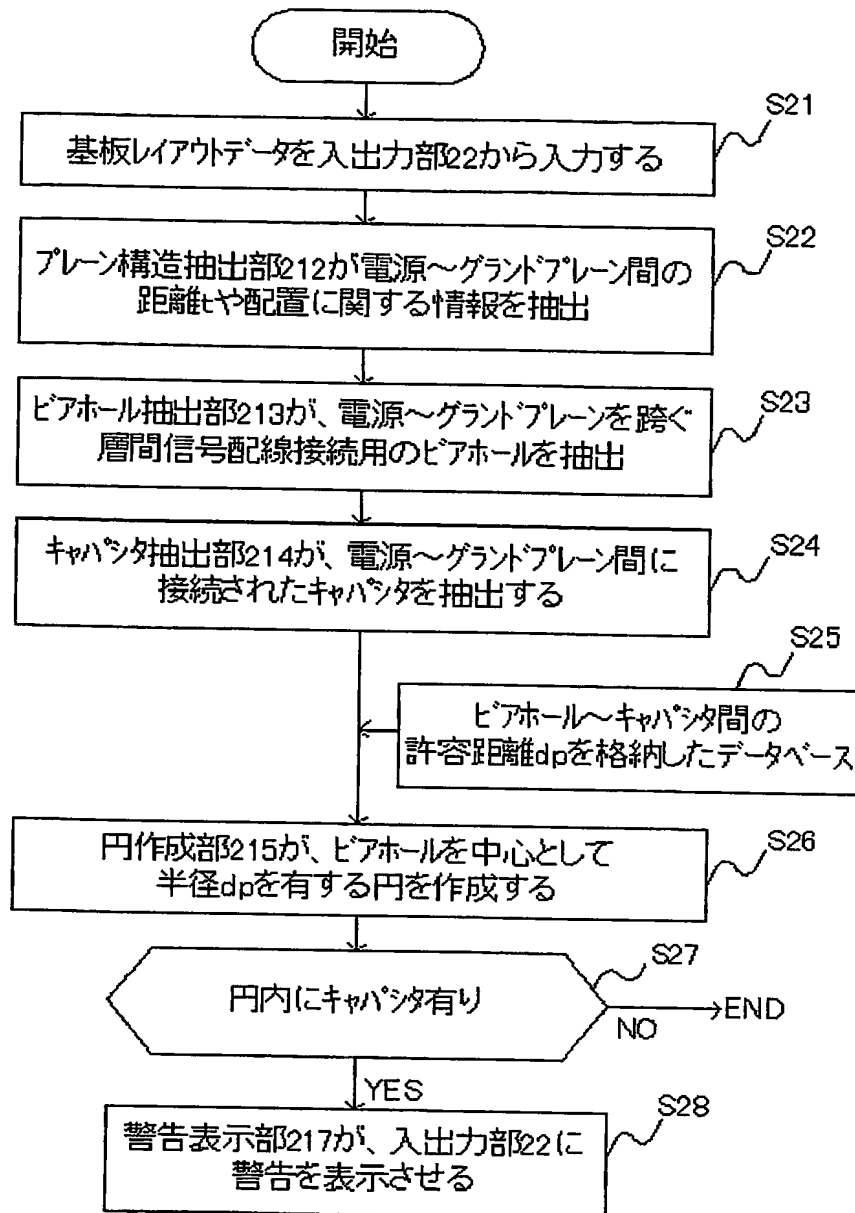


(b)

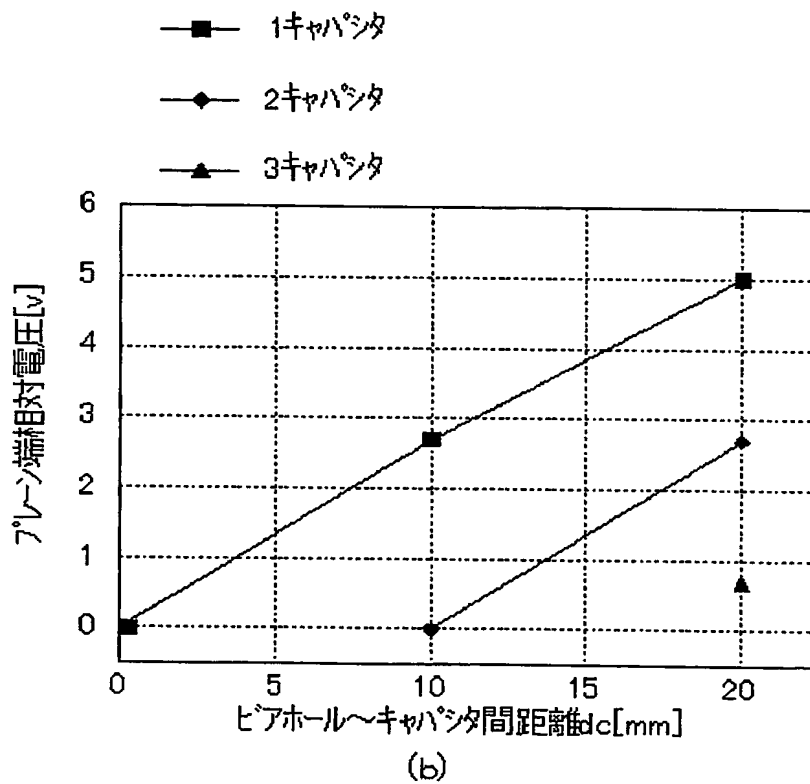
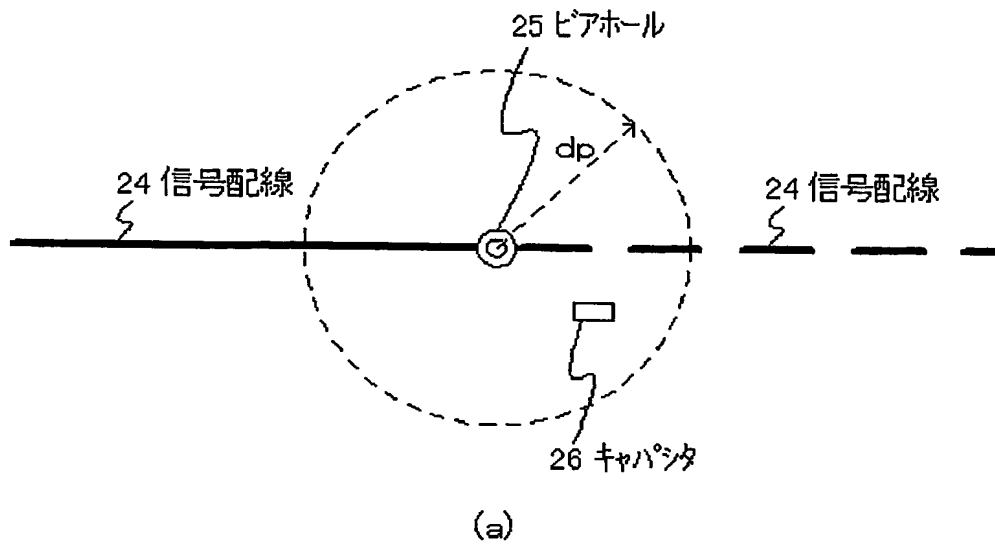
【図 7】



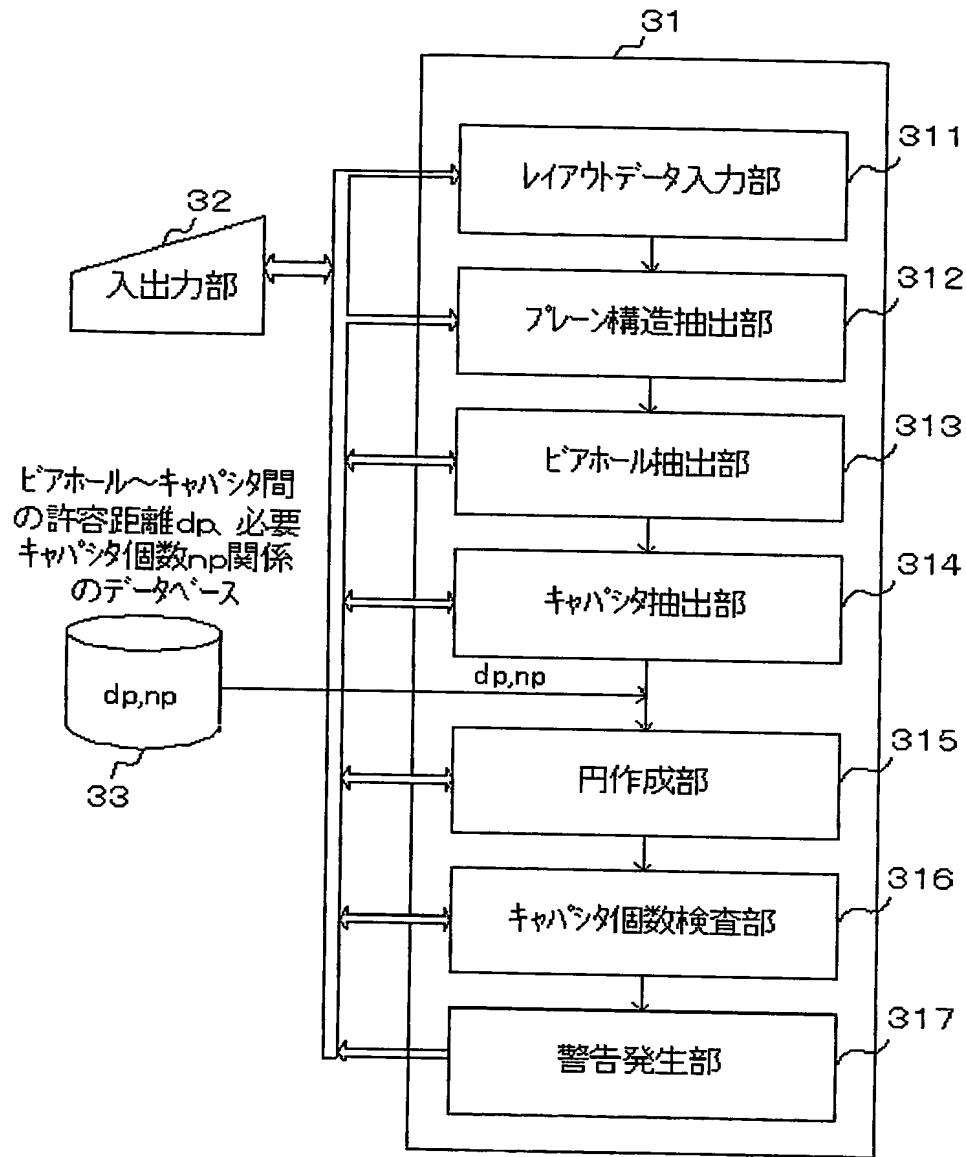
【図 8】



【図 9】

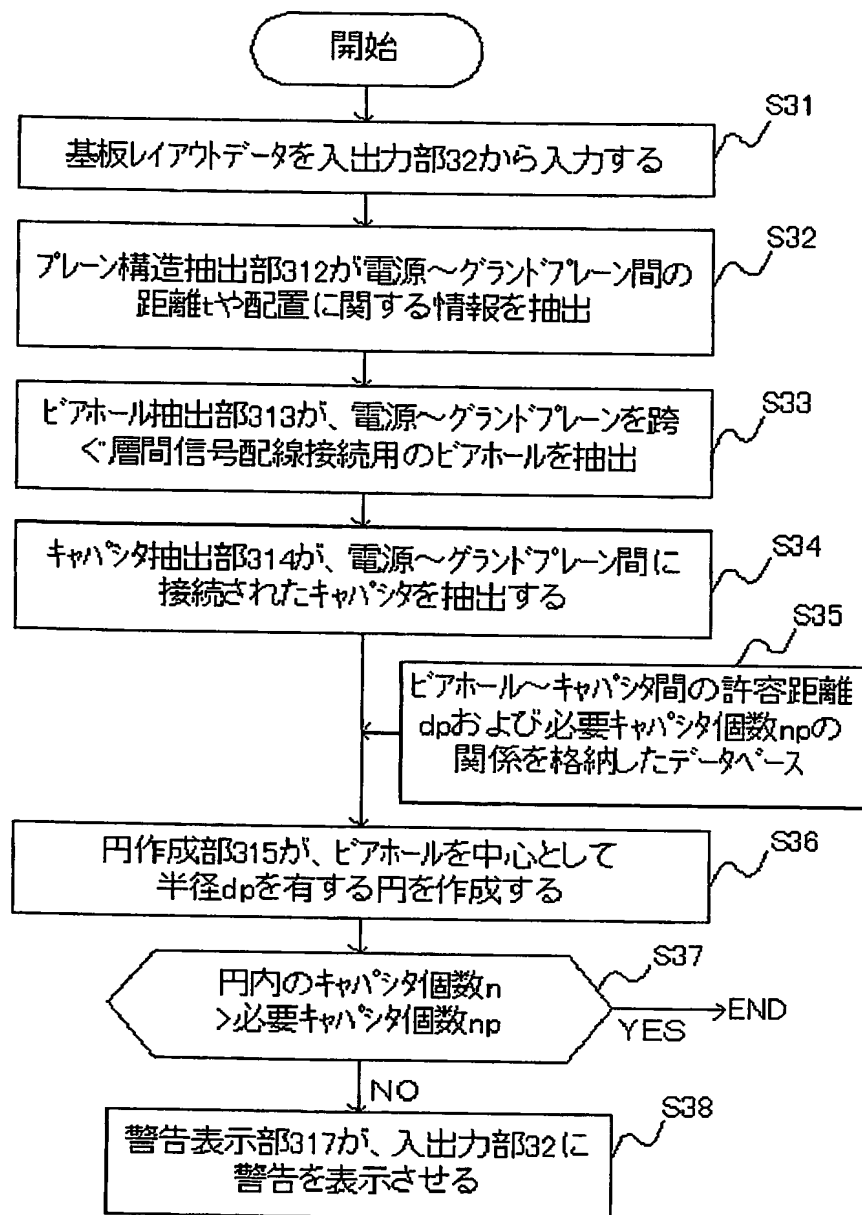


【図10】

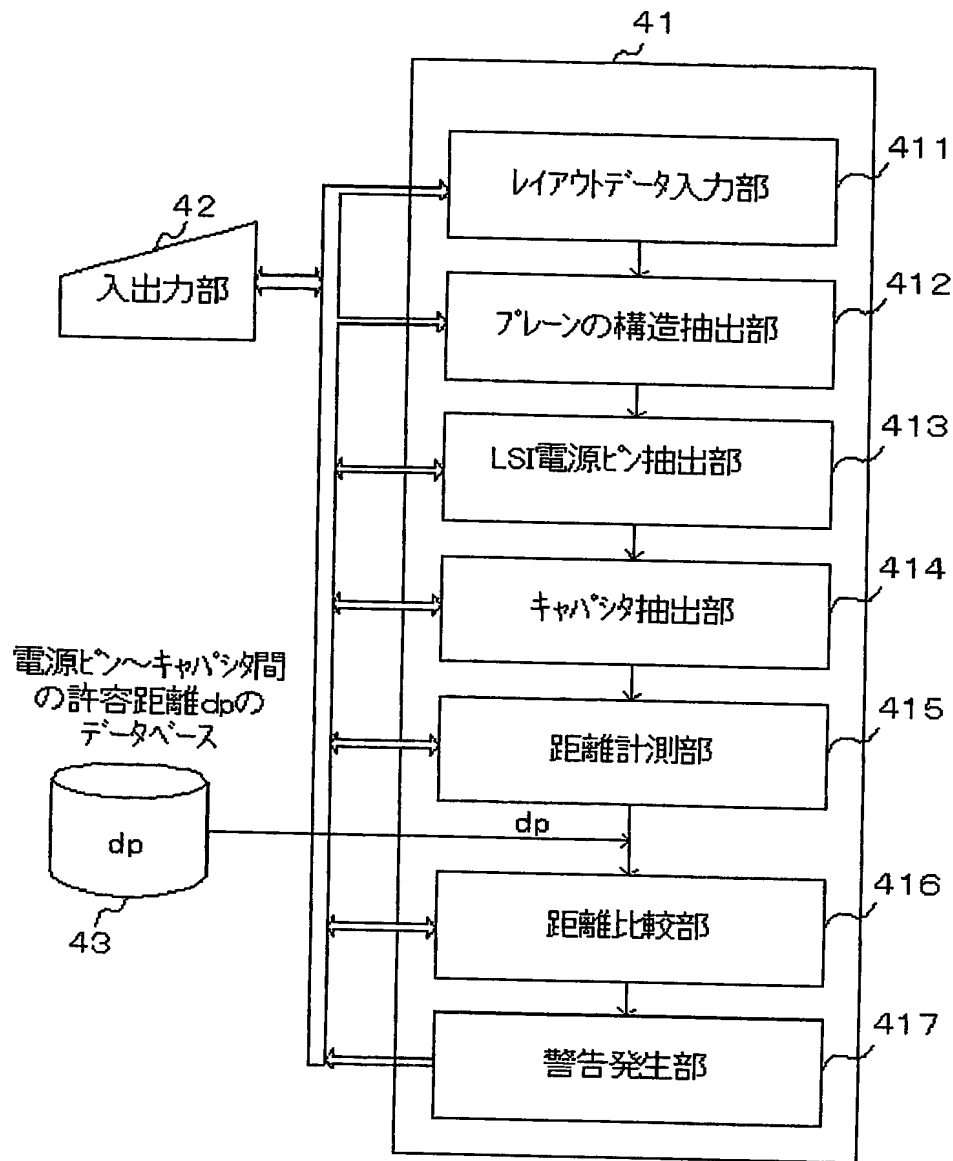




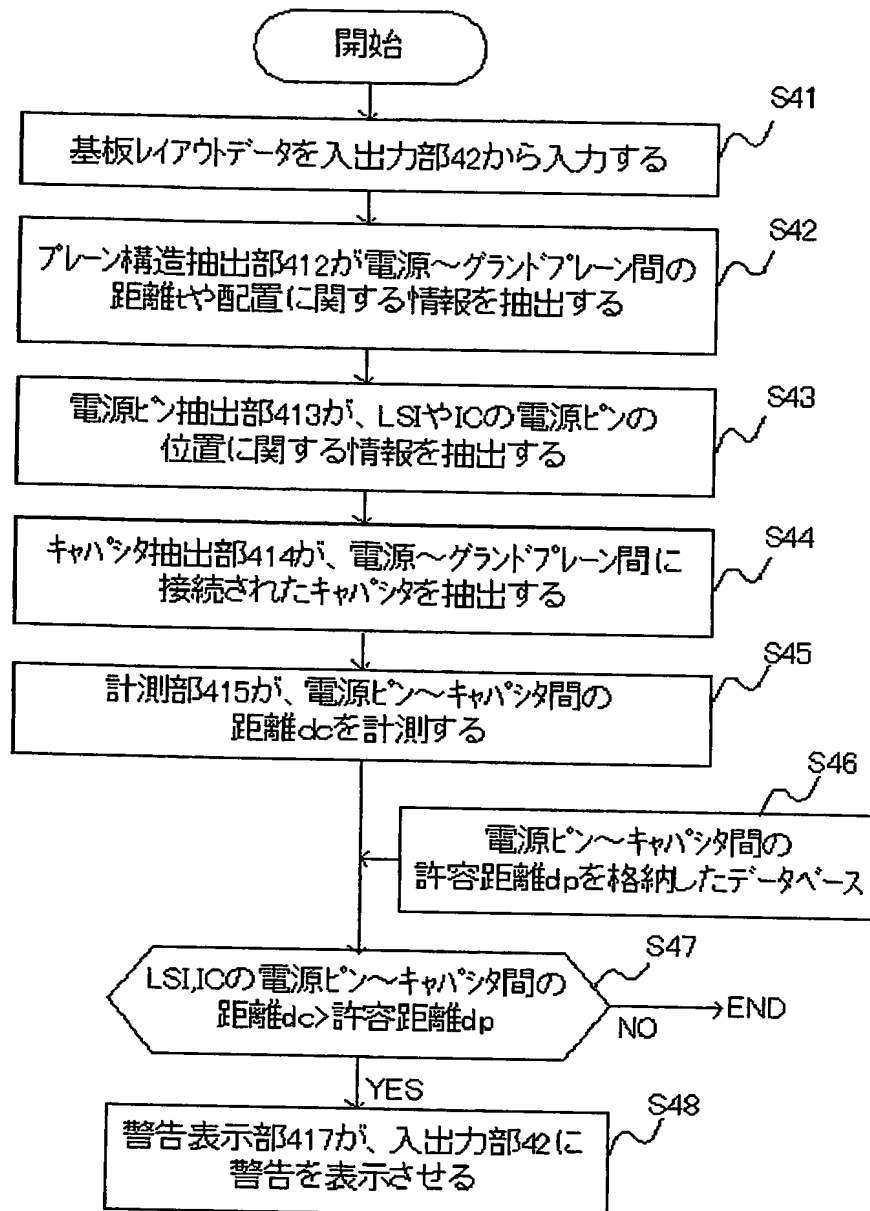
【図 11】



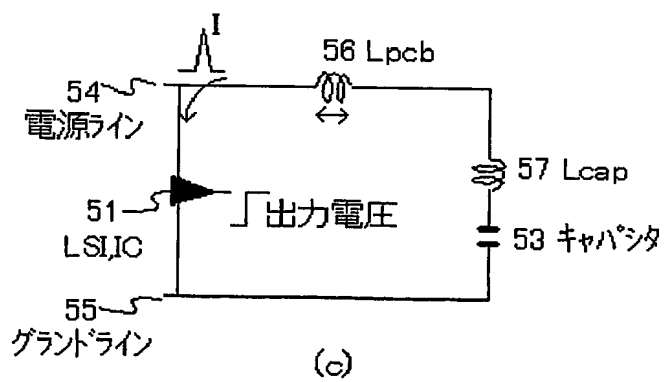
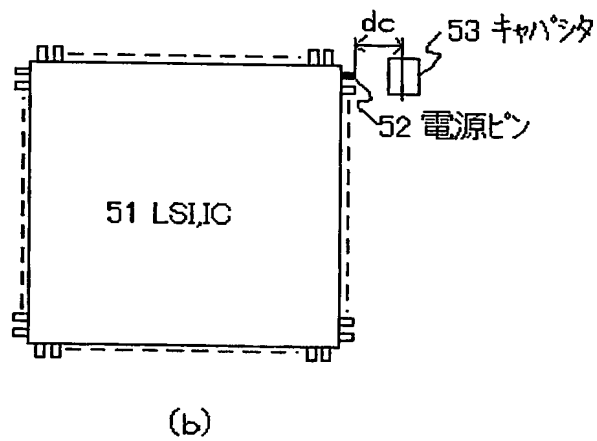
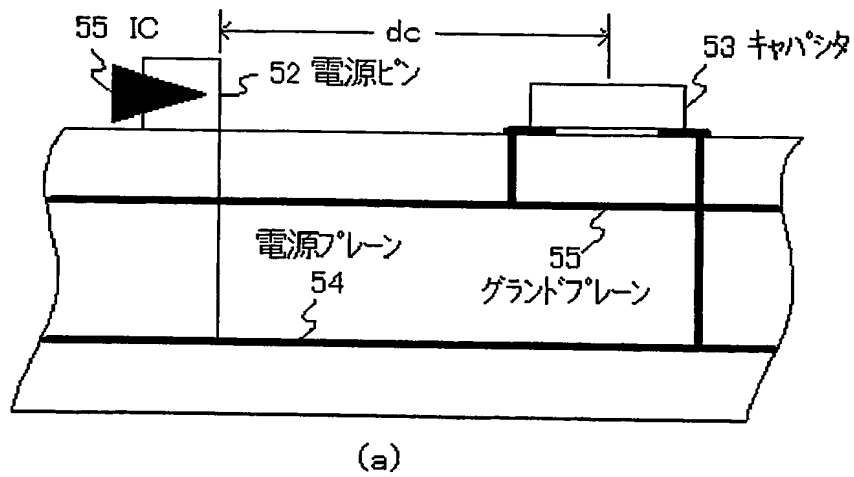
【図 12】



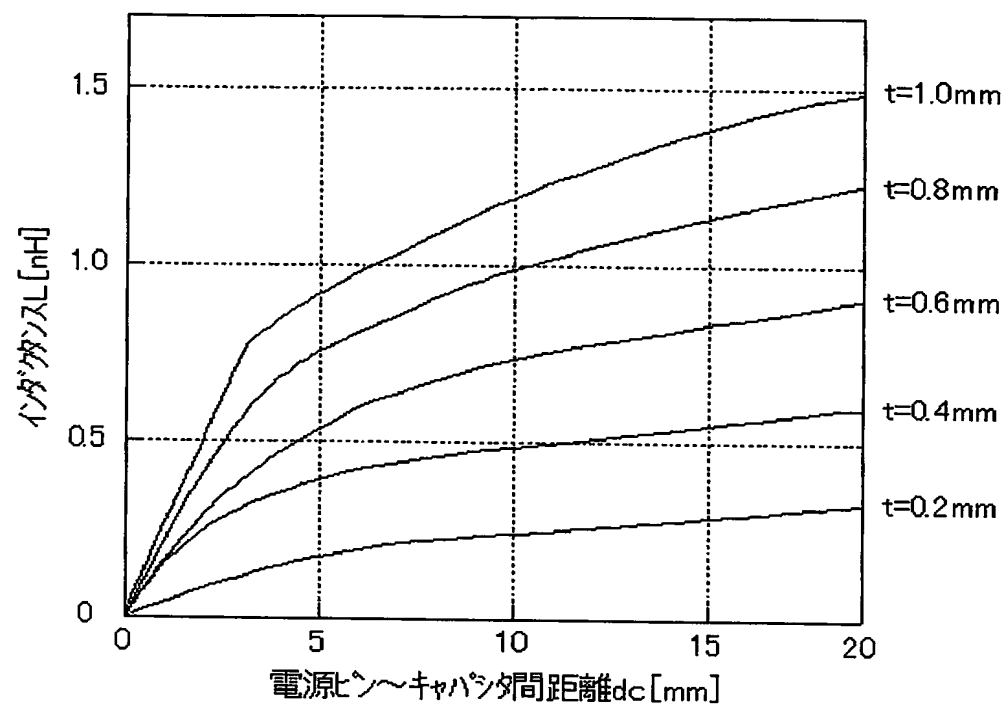
【図 13】



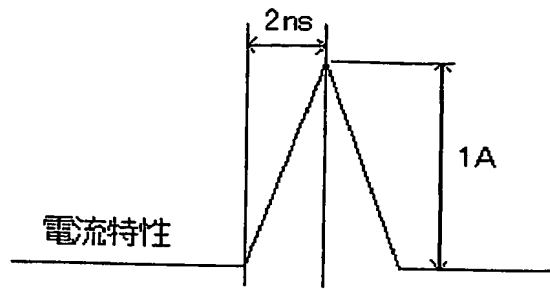
【図 14】



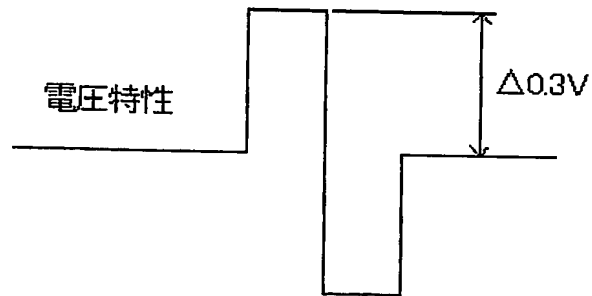
【図 15】



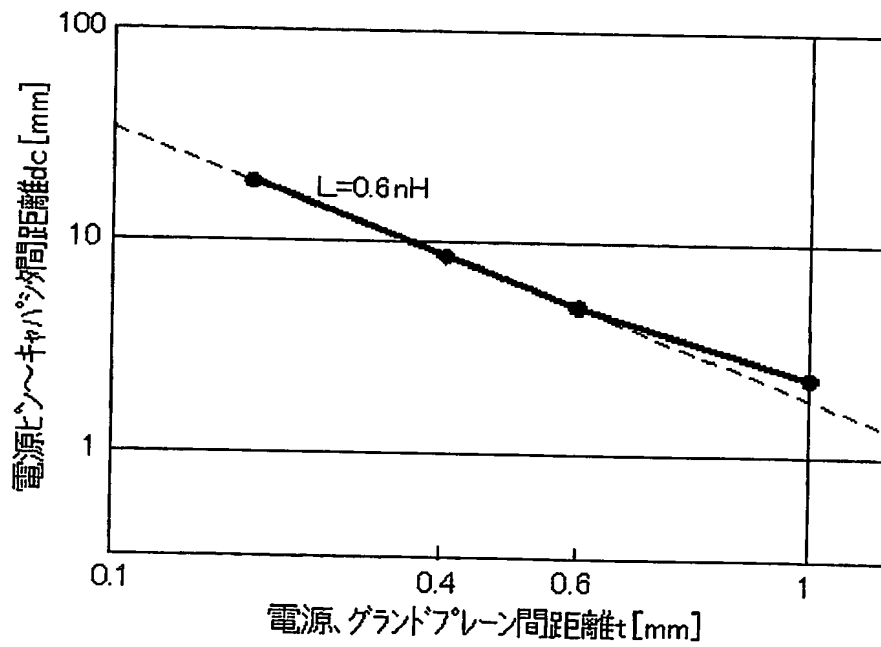
【図 16】



(a)

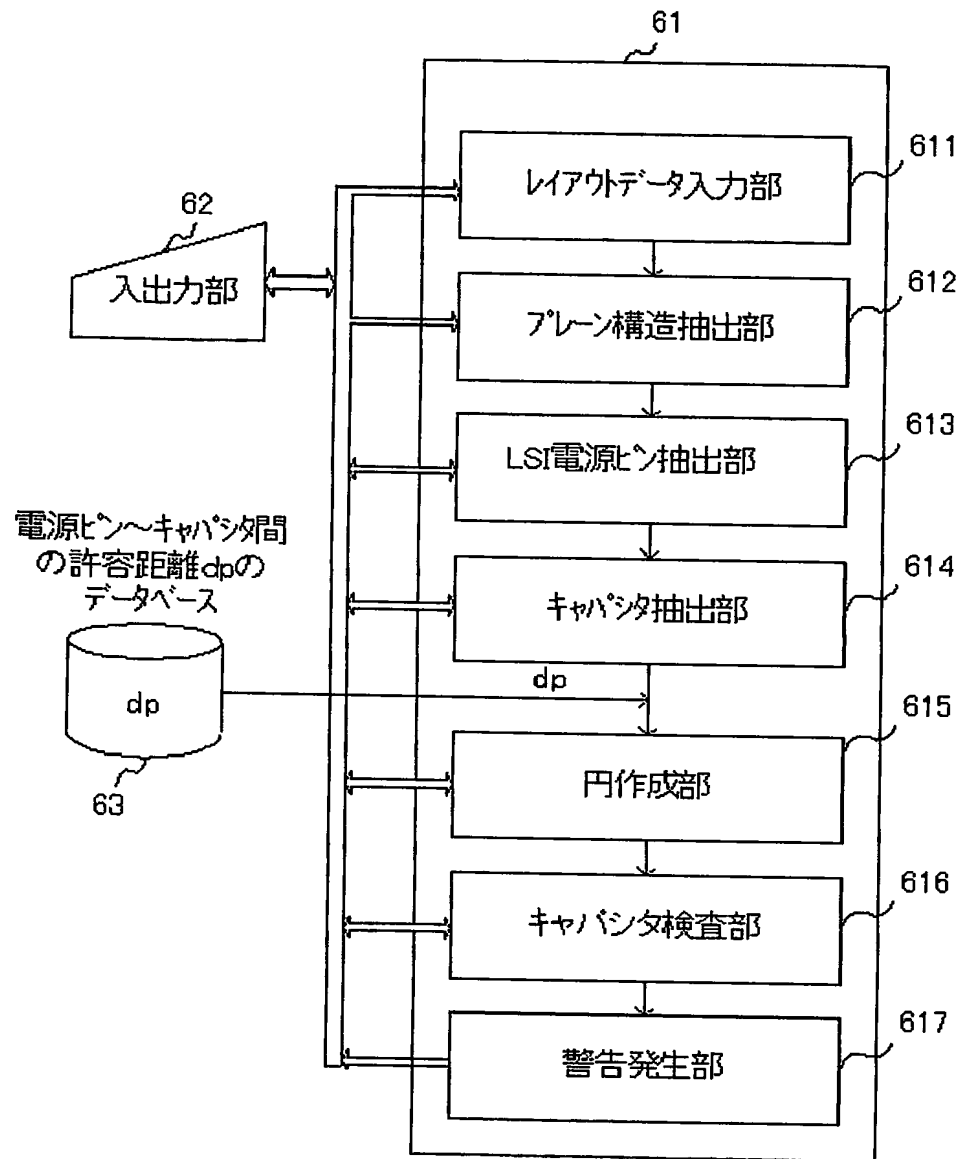


(b)

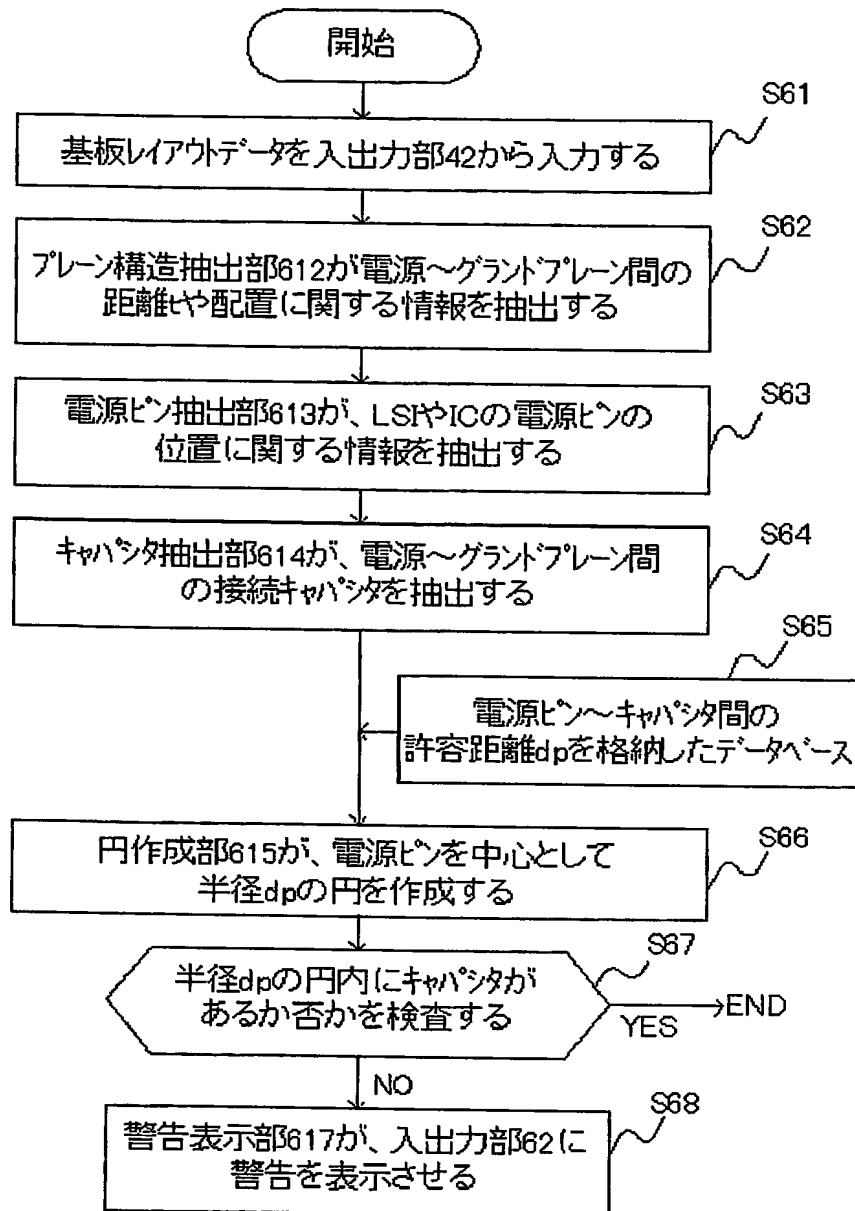


(c)

【図 17】

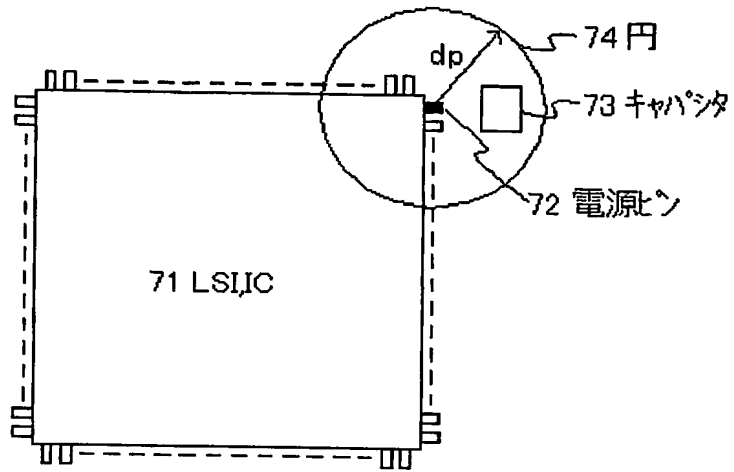


【図 18】

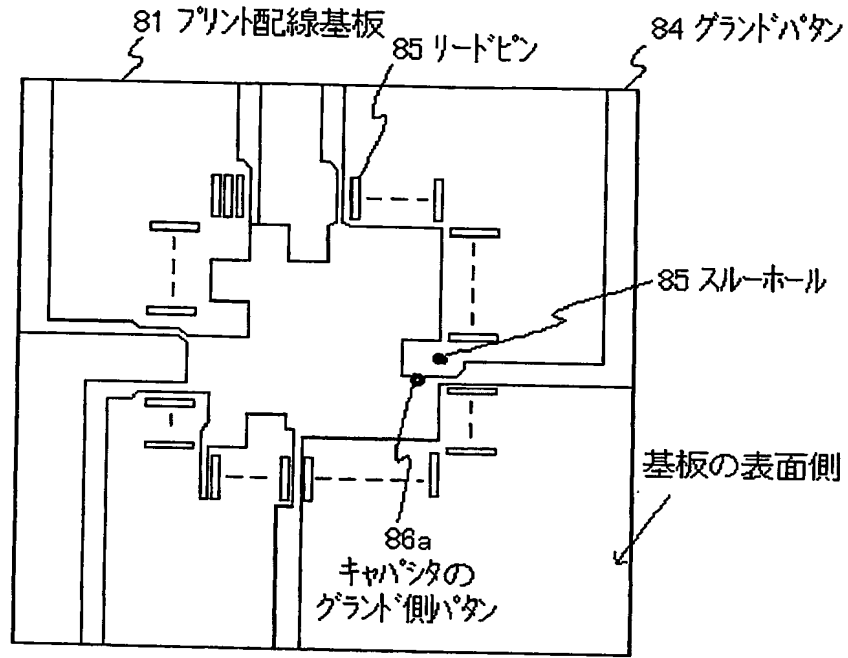




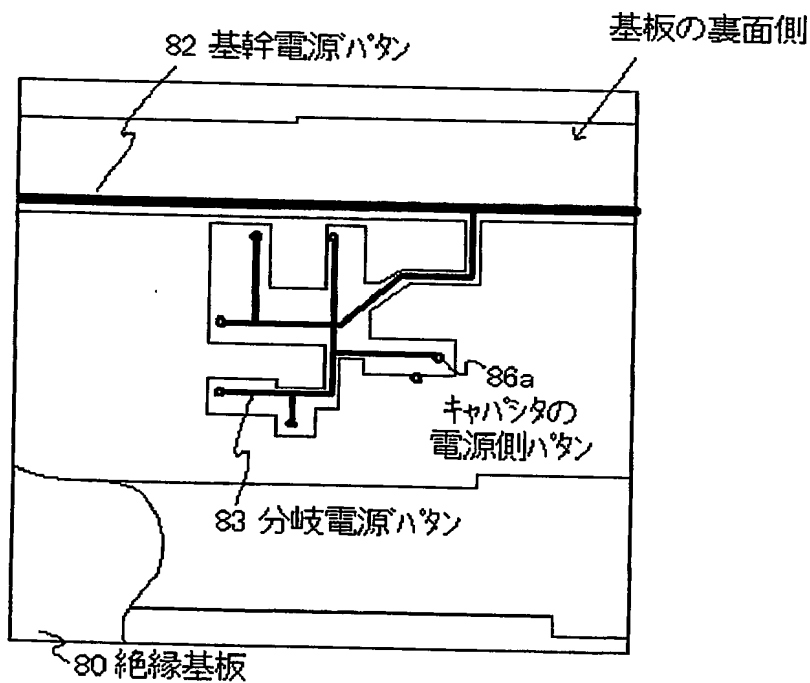
【図 19】



【図 20】

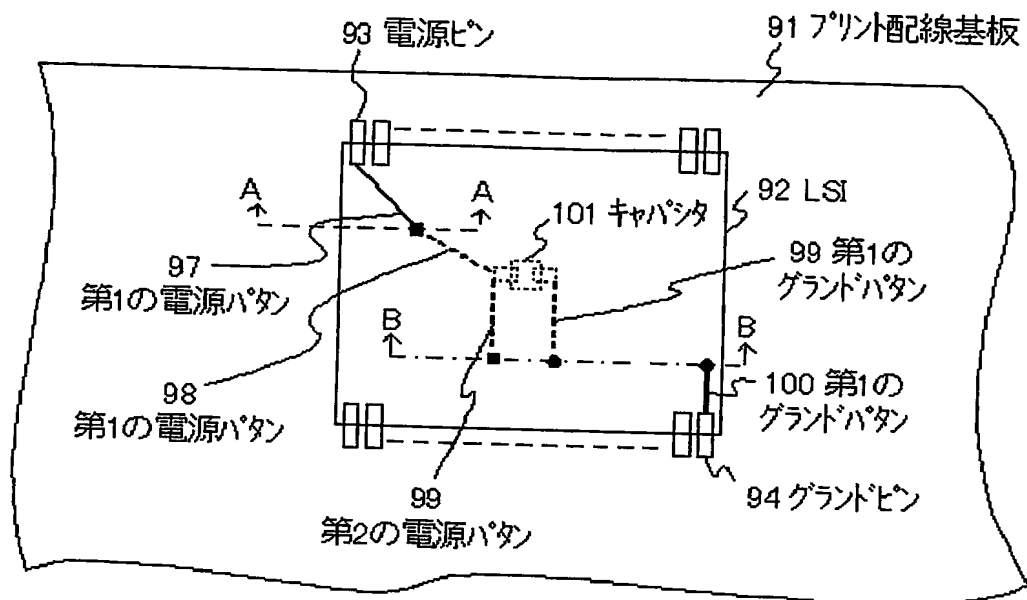


(a)

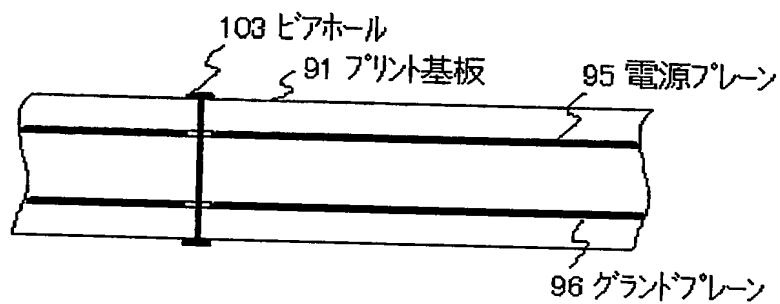


(b)

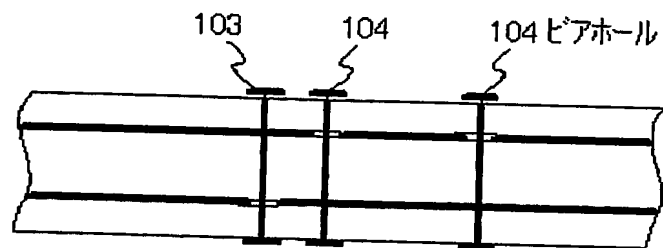
【図 21】



(a)

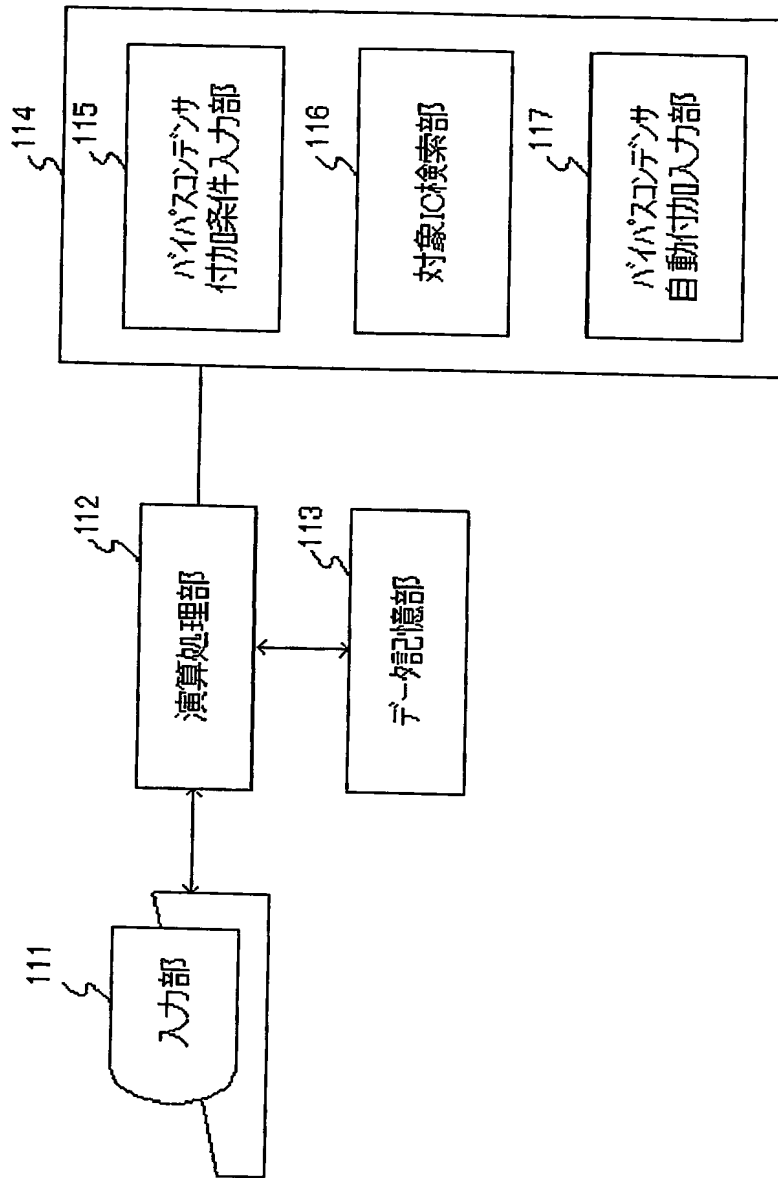


(b)

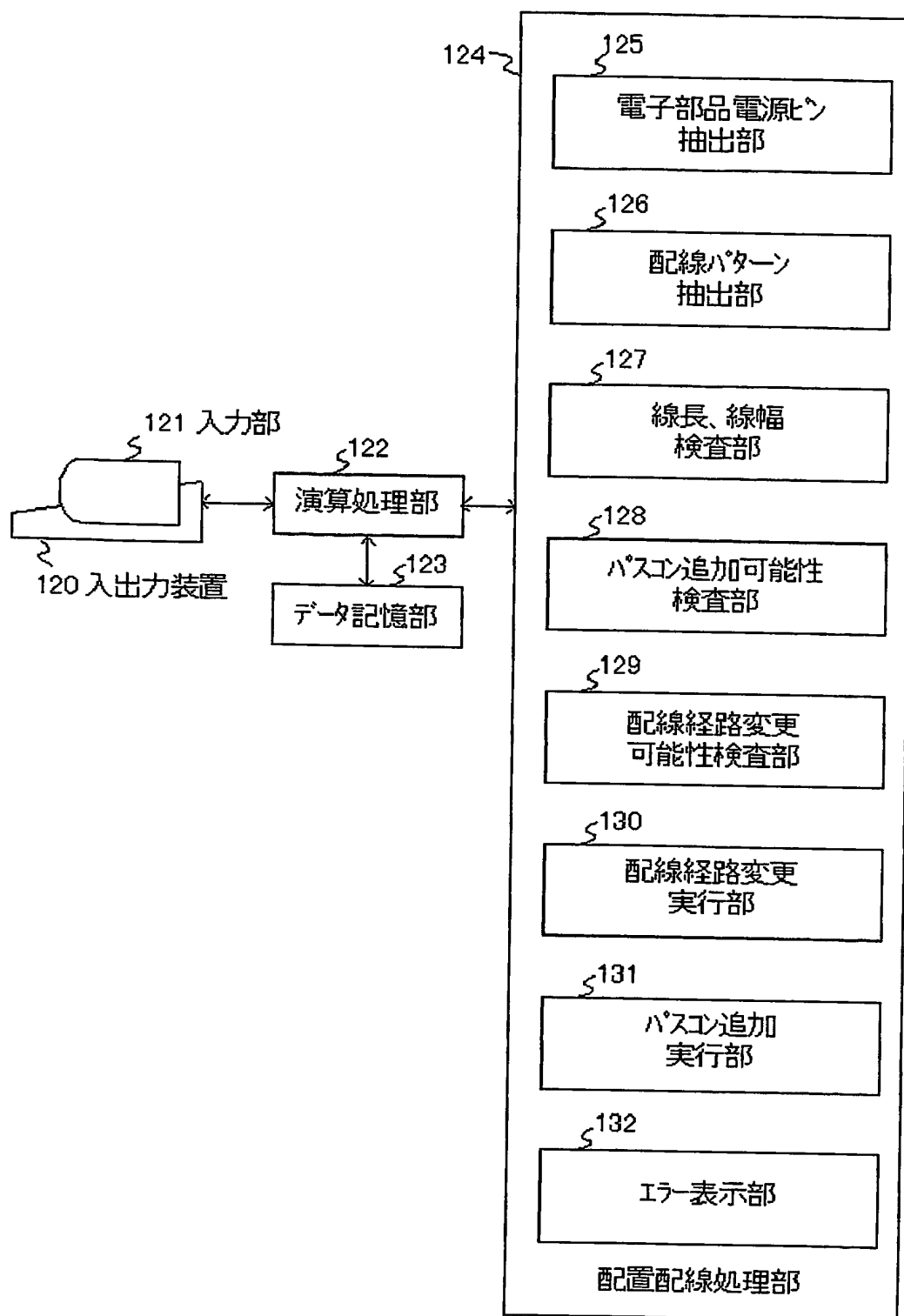


(c)

【図 22】



【図 23】



【書類名】 要約書

【要約】

【課題】 不要電磁波放射や回路の誤動作を抑制するためのキャパシタの配置を自動的に検査し、基板レイアウトの最適化を図る。

【解決手段】 プリント回路基板レイアウトデータを入出力手段を介して入力するレイアウトデータ入力部 11 と、電源プレーン、グランドプレーンの構造抽出部 12 と、電源プレーンとグランドプレーンとを跨ぐ配線間を接続するビアホール抽出部 13 と、電源プレーンおよびグランドプレーン間に接続されたキャパシタ抽出部 14 と、ビアホールおよびキャパシタ間の距離計測部 15 と、電源プレーンおよびグランドプレーンの間隔に対するビアホールおよびキャパシタ間の許容距離値を記録したデータベース 3 と、ビアホールおよびキャパシタ間の距離と許容距離値とを比較する検査部 16 と、ビアホールおよびキャパシタ間の距離値が許容距離値よりも大きい場合に警告を発生する警告発生部 17 とを備える。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-170749
受付番号	50301002386
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 6月17日

<認定情報・付加情報>

【提出日】	平成15年 6月16日
-------	-------------

次頁無

特願 2 0 0 3 - 1 7 0 7 4 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社



特願 2 0 0 3 - 1 7 0 7 4 9

出 願 人 履 歴 情 報

識別番号

[ 3 9 4 0 1 7 4 9 1 ]

1. 変更年月日

1 9 9 6 年 4 月 1 8 日

[変更理由]

住所変更

住 所

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号

氏 名

株式会社エヌイーシー情報システムズ

2. 変更年月日

2 0 0 3 年 8 月 2 9 日

[変更理由]

名称変更

住 所

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号

氏 名

株式会社 N E C 情報システムズ

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**